

## АЛГОРИТМ ДЕЛЕНИЯ БЕЗ ВОССТАНОВЛЕНИЯ ОСТАТКА В ЦИФРОВОЙ ЭЛЕКТРОНИКЕ

Русак Е.О.

Научный руководитель – Воюш Н.В., ст. преподаватель

При разработке цифровых устройств в некоторых случаях возникает потребность в делении чисел в двоичной системе счисления. Однако в отличие от алгебраического сложения либо умножения не существует микросхем, выполняющих алгебраическое деление. В этом случае, как правило, прибегают к процессорам либо микропроцессорам, что, как минимум, с экономической точки зрения является нерациональным решением.

В данной работе будет предложен алгоритм для реализации деления чисел без восстановления остатка. Деление без восстановления остатка подходит для систем, где требуется произвести деление кратных чисел, т.е. чисел, делящихся без остатка, либо в системах, не требующих высокой точности вычисления и где образовавшимся остатком можно пренебречь.

В разработанной схеме деление сводится к последовательному вычитанию до тех пор, пока знак делимого не станет отрицательным. При этом вычитание происходит на стандартных сумматорах за счет того, что делитель до начала процедуры деления переводится в т.н. дополнительный код.

Рассмотрим алгоритм разработанной операции деления на примере деления 6 на 3. Для этого будем использовать 4-х разрядные микросхемы:

1. Для получения дополнительного кода делитель инвертируется, т.е. все числа делителя меняются на противоположные. Таким образом, двоичный код числа 3, т.е. 0011 меняется на 1100. Это можно реализовать используя разнообразные инверторы.
2. К полученному коду необходимо добавить число 1, т.е. используя сумматор 1 сложить полученный ранее код с кодом числа 1. При использовании 4-х разрядных сумматоров это будет выглядеть как  $1100+0001$ , что в результате даст нам код 1101. Полученный код и есть дополнительный код числа 3. На данном этапе может произойти переполнение разрядной сетки, поэтому в схемах, где делимое и делитель невозможно заранее предсказать лучше использовать микросхемы большей разрядности.
3. Далее необходимо сложить на сумматоре 2 делимое и делитель, т.е. код числа 6 и дополнительный код числа 3. В рассматриваемом примере это  $0110+1101$ , что в результате даст нам 10011. Старший разряд, вызывающий переполнение разрядной сетки в этом шаге игнорируется, т.к. сложение происходит при использовании дополнительного кода.

4. На выходе старшего разряда сумматора устанавливается инвертор. Таким образом проверяется знак полученного числа, если на выходе инвертора будет 1, то деление будет продолжаться, если 0, то деление прекращается. В рассматриваемом случае на выходе инвертора мы получим 0.
5. Сигнал с инвертора подается на тактовый вход счетчика, на котором и будет формироваться итоговое частное. Т.е. если на выходе инвертора получена 1, то на счетчике формируется сигнал  $n+1$ , где  $n$  – ранее полученный код. В данном случае  $0+1=1$ .
6. Полученный на сумматоре код записывается в промежуточный регистр, при этом запись в регистр также управляет сигнал с инвертора. В данном случае будет записан код 0011.
7. Код с промежуточного регистра опять подается на сумматор 2, где происходит сложение кода с регистра и дополнительного кода числа 3. В рассматриваемом примере  $0011+1011$
8. Далее опять происходит проверка старшего разряда, обозначающего знак и алгоритм повторяется с пункта 4.
9. Если же на выходе инвертора получен сигнал 0, то сложение на сумматоре больше не происходит и запись в промежуточный регистр не осуществляется, а сигнал старшего разряда сумматора управляет записью в конечный регистр, на котором и формируется частое. Частное подается с выходов счетчика.

Таким образом, в первом цикле работы в промежуточном регистре будет записано число 0011, на счетчике образуется число 0001. Во втором цикле работы в промежуточном регистре будет записано число 1000 (старший разряд, образованный переполнением сетки игнорируется), на счетчике образуется число 0010. В третьем цикле работы в промежуточном регистре будет получено число 11011, т.е. на выходе инвертора будет 0, а на выходе старшего разряда сумматора 1, т.е. запись в промежуточный регистр больше не происходит и на счетчик не подается тактовый сигнал, по которому ведется счет. А в итоговый регистр по сигналу со старшего разряда сумматора будет записано число 0010, что и обозначает 2 в десятичной системе счисления. Таким образом получен результат деления 6 на 3.

При делении чисел большой разрядности можно объединять элементы в каскады с целью увеличения их разрядности

К недостаткам данного метода можно отнести перегруженность схемы элементами, т.к. даже при его реализации на 4-х разрядных числах нужно по крайней мере 10 элементов. Также деление производится без восстановления остатка, т.е. при делении 6 на 5 будет получен результат 1, однако недостатки компенсируются отсутствием необходимости в МП.