



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4097951/24-24

(22) 29.05.86

(46) 23.03.88. Бюл. № 11

(71) Белорусский политехнический институт

(72) А.А.Москаленко, Р.И.Фурунжиев,
А.Т.Кулаков и А.П.Михалевич

(53) 62.50(088.8)

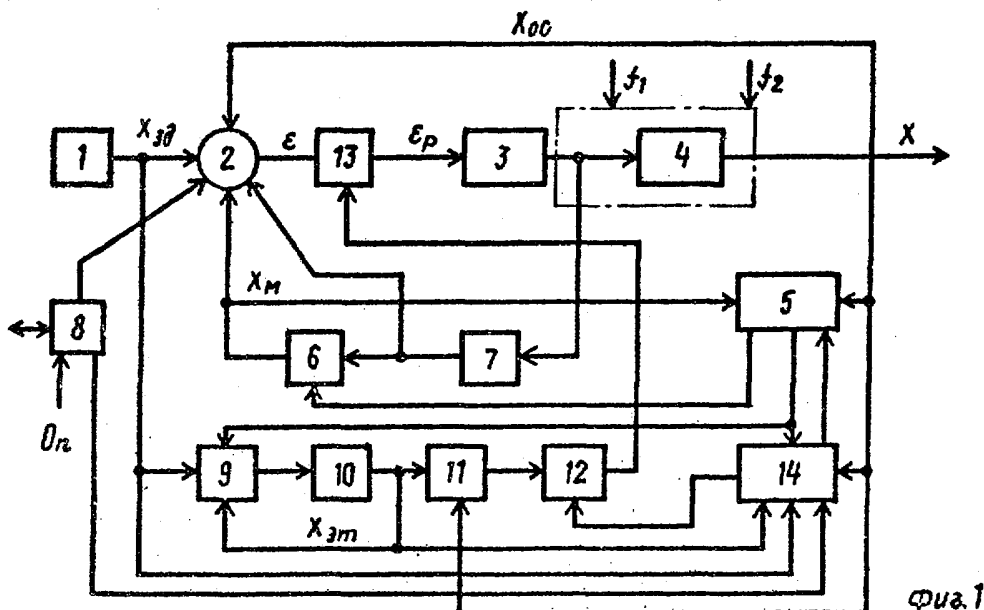
(56) Дралюк Б.И., Синайский Г.В.
Системы автоматического управления
с транспортным запаздыванием. - М.:
Энергия, 1969.

Авторское свидетельство СССР
№ 968788, кл. G 05 B 13/02, 1982.

(54) АДАПТИВНАЯ СИСТЕМА УПРАВЛЕНИЯ
ДЛЯ ОБЪЕКТОВ С ИЗМЕНЯЮЩИМСЯ ЗАПАЗДЫ-
ВАНИЕМ

(57) Изобретение относится к самона-
страивающимся системам управления и

может быть использовано для автоматизации нестационарных технологических процессов. Цель изобретения - повышение качества регулирования при обработке задающих воздействий. Устройство содержит задатчик 1, сравнивающий элемент 2, регулятор 3, объект 4 управления, блок 5 подстройки запаздывания, модель 6 с регулируемым запаздыванием, упредитель 7, пульт 8 управления, два переключателя 9, 12, эталонную модель 10 процесса, блок 11 деления, блок 13 умножения и логический коммутатор 14. В основу изобретения положен принцип упреждения запаздывания и компенсации инерционности объекта управления путем сравнения кривой переходного процесса с эталоном, а также реализован процесс адаптивной подстройки коэффициентов усиления регулятора. 3 ил.



Фиг.1

Изобретение относится к самонастраиваемым системам управления и может быть использовано для автоматизации нестационарных технологических процессов с изменяющимся запаздыванием, в частности теплоэнергетических, как в режиме стабилизации параметров, так и отслеживания задающих воздействий.

Цель изобретения - повышение качества регулирования при отработке задающих воздействий.

На фиг. 1 изображена структурная схема адаптивной системы управления для объектов с изменяющимся запаздыванием; на фиг. 2 - функциональная схема блока подстройки запаздывания; на фиг. 3 - функциональная схема логического коммутатора.

Адаптивная система (фиг. 1) содержит задатчик 1, сравнивающий элемент 2, регулятор 3, объект 4 управления, блок 5 подстройки запаздывания, модель 6 с регулируемым запаздыванием, упредитель 7, пульт 8 управления, первый переключатель 9, эталонную модель 10 процесса, блок 11 деления, второй переключатель 12, блок 13 умножения и логический коммутатор 14.

Блок подстройки запаздывания (фиг. 2) содержит два усилителя 15 и 16, первый триггер 17, дешифратор 18, счетчик 19, задатчик 20 запаздывания, управляющий генератор 21 опорной частоты, блок 22 регулирования и второй триггер 23.

Логический коммутатор (фиг. 3) содержит триггер 24, два инвертирующих усилителя 25 и 26, два компаратора 27 и 28, элементы ИЛИ 29-31, схему 32 совпадения, дифференциатор 33, формирователь 34, инвертирующий усилитель 35, формирователь 36 и элемент ИЛИ 37.

Адаптивная система работает следующим образом.

В основу построения адаптивной системы управления для объектов с изменяющимся запаздыванием положен принцип упреждения запаздывания и компенсации инерционности с автоматической адаптивной подстройкой времени запаздывания модели объекта и коэффициентов усиления регулятора и упредителя (модели объекта без запаздывания) путем сравнения кривой переходного процесса замкнутой системы управления

с эталоном, удовлетворяющим заданному критерию точности и быстродействия при обработке задающих воздействий.

Теплоэнергетические объекты могут быть приближенно описаны с помощью передаточной функции вида

$$W_o(P) = \frac{K_o e^{-P\tau_o}}{1 + T_o P} \quad (1)$$

Для упреждения запаздывания и компенсации инерционности должны применительно к схеме на фиг. 1 выполняться следующие условия:

$$K_{yn} = K_o, \tau_m = \tau_o, T_m = T_o, \quad (2)$$

где K_{yn} - коэффициент передачи упредителя (модели объекта управления без запаздывания);

τ_m, T_m - величины запаздывания и постоянной времени модели объекта управления.

Блок 5 подстройки запаздывания (фиг. 2) предназначен для определения времени запаздывания объекта 4 управления и адаптивной подстройки запаздывания в модели 6.

Пульт 8 управления предназначен для формирования единичного калиброванного скачка в режиме ручной адаптации (от оператора - O_R , фиг. 1), запуска блока 5 подстройки запаздывания (через логический коммутатор 14), формирования исходных сбросов и контроля состояния цепи подстройки коэффициента регулятора. Подача калиброванного скачка в виде унифицированного токового сигнала осуществляется оператором. Одновременно формируется сигнал адаптации, поступающий на третий вход логического коммутатора 14.

Первый переключатель 9 служит для подключения эталонной модели 10 процесса к выходу задатчика 1 и включения ее в работу. Эталонная модель 10 процесса предназначена для формирования эталона переходного процесса $X_{эп}$ в замкнутой системе при изменении задающего воздействия $X_{за}$ с задатчика 1. Блок 11 деления используется для определения отношения $X_{эп}$ и выхода объекта 4 управления X .

Второй переключатель 12 предназначен для коммутации к первому входу

блока 13 умножения либо сигнала, эквивалентного единице, либо сигнала, поступающего с выхода блока 11 деления. Блок 13 умножения используется для реализации зависимости

$$\varepsilon_p = \varepsilon \alpha, \quad (3)$$

где согласно фиг. 1 ε - ошибка рас- 10 согласования на выходе сравнивающего элемента 2; ε_p - ошибка регулирования, поступающая с выхода блока 13 на вход регулятора 3; α - коэффициент подстройки коэффициента усиления 15 регулятора, эквивалентный выходному сигналу второго переключателя 12.

Логический коммутатор 14 служит для анализа изменений сигналов с выходов задачика 1, объекта 4 уп- 20 равления и эталонной модели 10 процесса, определения моментов переключения первого и второго переключателей 9 и 12, автоматического за- 25 пуска в работу блока 5 подстройки запаздывания.

При первоначальном включении системы триггер 24 находится в нулевом состоянии. На время автоматической адаптации времени запаздывания он устанавливается в "0" сигналом с 30 выхода элемента ИЛИ 37 через элемент ИЛИ 31. При этом с его нулевого выхода подается высокий уровень "Индикация", который сигнализирует отсутствие подстройки коэффициента уси- 35 ления. Низкий уровень с единичного выхода триггера 24 через схему 32 совпадения передает на вход второго переключателя 12 нулевой сигнал не- 40 зависимо от сигнала на втором входе схемы 32 совпадения (в статическом состоянии на второй вход схемы 32 совпадения подается высокий уровень). Об изменении задающего воздействия $X_{э}$ сигнализирует дифференциатор 33. При увеличении задания сигнал положи- 45 тельной полярности проходит через формирователь 34 и элемент ИЛИ 37, а при уменьшении задания - через ин- 50 вертирующий усилитель 35, формирова- тель 36 и элемент ИЛИ 37. В обоих случаях выходной сигнал элемента ИЛИ 37 подтверждает сброс триггера 24 в "0" и через элемент ИЛИ 30 посылает сигнал сброса на третий 55 вход блока 5 подстройки запаздывания, из которого с второго выхода на вто- рой вход схемы 32 совпадения подается

запрещающий сигнал. Второй вход эле- мента ИЛИ 30 (третий вход логическо- го коммутатора) предназначен для 5 ручного запуска блока 5 подстройки запаздывания с пульта 8 управления. Для исходной установки триггера 24 при включении используется второй вход элемента ИЛИ 31. Установка триг- 10 гера 24 в единичное состояние осу- ществляется методом сравнения измене- ния выходного сигнала эталонной моде- ли процесса $X_{э}$ с приращением выход- ного сигнала объекта X по абсолютной 15 величине

$$|\Delta X_{э}| \geq |\Delta X|. \quad (4)$$

Для этой цели используются разде- 20 лительные конденсаторы C , инвертирую- щие усилители 25 и 26, первый и вто- рой компараторы 27 и 28 и элемент ИЛИ 29. При изменении $X_{э}$ и X в сторону увеличения срабатывает второй компаратор 28, а в сторону уменьше- 25 ния - сигналы инвертируются усилите- лями 25 и 26; в этом случае срабаты- вает первый компаратор 27. Компарато- ры через элемент ИЛИ 29 устанавливают триггер 24 в единичное состояние. Так как к этому времени на второй вход схемы 32 совпадения поступает разрешающий сигнал, то переключение триггера 24 в "1" приводит к появле- 30 нию высокого потенциала на выходе схемы 32 совпадения. Выключение ком- параторов происходит при нарушении условия (4), когда в системе возни- 35 кает переходной процесс. На фиг. 1 f_1 обозначает внутренние, а f_2 - внешние возмущения, действующие соот- 40 ветственно на вход и выход системы, O_n - оператор.

В основу адаптивной подстройки вре- 45 мени запаздывания положен принцип самонастройки по прогнозируемой модели (2), причем в первоначальный момент работы прогнозируемое значе- ние времени запаздывания равно исход- 50 ному значению, установленному опера- тором, а в последующие моменты време- ни - значениям, полученным в преды- дущие циклы адаптации. Адаптация времени запаздывания производится по формуле 55

$$\hat{c}_m(t_j) = \hat{c}_m(t_{j-1}) \pm \Delta \hat{c}(t_j) = \hat{c}_0(t_j).$$

где t_j и t_{j-1} - текущий и предыдущий 60 циклы адаптации,

при $j = 1$ имеет место первоначальный цикл адаптации

$$\hat{c}_m(t_j) = \hat{c}_m(t_0) \pm \Delta \hat{c}(t_j) = \hat{c}_0(t_j),$$

где $\hat{c}_m(t_0) = \hat{c}_m^{\text{исх}}$.

Величина $\Delta \hat{c}(t_j)$ при адаптации находится по формуле

$$\Delta \hat{c}(t_j) = |\hat{c}_0(t_j) - \hat{c}_m(t_j)|.$$

В исходном статическом состоянии (первоначальном) системой произведена отработка задания X_{39} , поступающего с задатчика 1, или внутренних возмущений f_1 , или внешних f_2 (фиг. 1). Регулируемая величина X находится в допустимой зоне регулирования. Ошибка рассогласования $\varepsilon \approx 0$ и ошибка регулирования $\varepsilon_p \approx 0$. В блоке 5 подстройки запаздывания хранится код запаздывания: при первоначальном включении системы - прогнозируемое значение $\hat{c}_m^{\text{исх}}$, а после адаптивной подстройки $\hat{c}_m = \hat{c}_0$. Модель 6 с регулируемым запаздыванием настроена. Коэффициент подстройки коэффициента усиления регулятора $\alpha = 1$ при первоначальном включении системы или $\alpha = \alpha_i$, где α_i - значение коэффициента, полученное при изменении задания в i -й момент времени.

В работе системы можно выделить четыре режима: адаптация времени запаздывания, обработки внутренних возмущений, обработки внешних возмущений и отработки задания с автоматической адаптацией времени запаздывания.

Режим адаптации времени запаздывания осуществляется оператором (Op) при установившемся состоянии системы путем подачи единичного калиброванного скачка, либо незначительным изменением задания с задатчика 1 (фиг. 1). При этом из пульта 8 управления на третий вход логического коммутатора 14 (фиг. 1 и 3) подается команда "Сброс", включающая блок 5 подстройки запаздывания через его третий вход в режим адаптивной подстройки времени запаздывания. Сигналы X и X_m появляются на выходе объекта и модели соответственно через время запаздывания \hat{c}_0 и \hat{c}_m (фиг. 1 и 2). Начало изменений сигналов на выходе объекта 4 и модели

объекта (последовательно соединенные блоки 7 и 6) определяются соответственно с помощью усилителей 15 и 16, которые формируют пороговые сигналы переключения для триггеров 17 и 23 (фиг. 2) практически без задержки. При этом если первым в единичное состояние устанавливается триггер 17, то $\hat{c}_m < \hat{c}_0$. В этом случае сигналом с второго выхода дешифратора 18 счетчик 19 устанавливается в режим сложения; с управляющего генератора 21 опорной частоты снимается запрет на генерацию и в счетчик 19 заносится дополнительное количество импульсов, пропорциональное $\hat{c}_0 - \hat{c}_m$. Генерация управляемого генератора 21 в этом случае прекращается, когда триггер 23 также устанавливается в "1", так как при этом с четвертого выхода дешифратора 18 на него поступает запрещающий сигнал.

Во втором случае счетчик 19 устанавливается в режим вычитания сигнала с третьего выхода дешифратора 18, при этом из содержимого счетчика 19 вычитаются импульсы, т.е. аналогичным образом реализуется зависимость $\hat{c}_0 - \hat{c}_m$.

Установка прогнозируемого (исходного) времени запаздывания $\hat{c}_m^{\text{исх}}$ в счетчик 19 производится задатчиком 20 запаздывания. Блок 22 регулирования осуществляет подстройку запаздывания в модели 6, как показано в (2).

Обработка внутренних возмущений f_1 производится через более быстродействующий контур (упредитель 7, сравнивающий элемент 2, блок 13 умножения и регулятор 3) и через два контура с запаздыванием: с одной стороны объект 4, сравнивающий элемент 2, блок 13 умножения, регулятор 3, с другой - упредитель 7, модель 6 с регулируемым запаздыванием, сравнивающий элемент 2, блок 13 умножения и регулятор 3.

При внешних возмущениях f_2 их обработка осуществляется также по трем контурам. Первый более быстродействующий контур: выход объекта 4, сравнивающий элемент 2, блок 13 умножения, регулятор 3, упредитель 7. Второй контур: выход объекта 4, сравнивающий элемент 2, блок 13 умножения, регулятор 3 и объект 4. Третий контур: выход объекта 4, срав-

нивающий элемент 2, блок 13 умножения, регулятор 3, упредитель 7 и модель 6 с регулируемым запаздыванием. Как при внутренних, так и при

внешних возмущениях важно, чтобы сигналы второго и третьего контуров компенсировали друг друга, т.е. $X = X_m$. Однако, при внешних возмущениях f_2 , в частности нагрузкой, будет изменяться время запаздывания объекта. Поэтому при использовании системы при изменении нагрузки необходимо использовать ручной режим адаптации.

Четвертый режим работы системы связан с обработкой задающих возмущений X_{zg} , т.е. с использованием системы в режиме отслеживания задания. В этом режиме изменение X_{zg} сразу вызывает изменение ε и ε_p , что равносильно появлению внешних возмущений f_2 , но с обратным знаком. Сигнал изменения задания воспроизводится логическим коммутатором 14, который производит сброс блока 5 подстройки запаздывания. При этом блок 5 осуществляет адаптацию времени запаздывания так же, как в ручном режиме от оператора. По истечении времени запаздывания τ_0 разрешающий сигнал с второго выхода блока 5 производит переключение первого переключателя 9, который передает на вход эталонной модели 10 процессу величину изменения задания. При этом на выходе модели 10 начинается переходной процесс. Блок 11 деления находит отношение сигнала X и $X_{эт}$, но выходной сигнал α с блока 11 передается через второй переключатель 12 только с приходом разрешающего сигнала с второго выхода логического коммутатора 14. Второй переключатель 12 устанавливается в такое положение, при котором реализуется с помощью блока 13 умножения выражение (3), что равносильно изменению коэффициента усиления регулятора 3. При этом $\alpha = \alpha_i$, которое изменяется только при изменении X_{zg} , которое включает в работу эталонную модель 10 процесса после адаптации времени запаздывания.

Таким образом, введение в адаптивную систему управления пульта управления, первого переключателя, эталонной модели процесса, блока деления, второго переключателя, блока умножения и логического коммутатора, связанных между собой и с известными

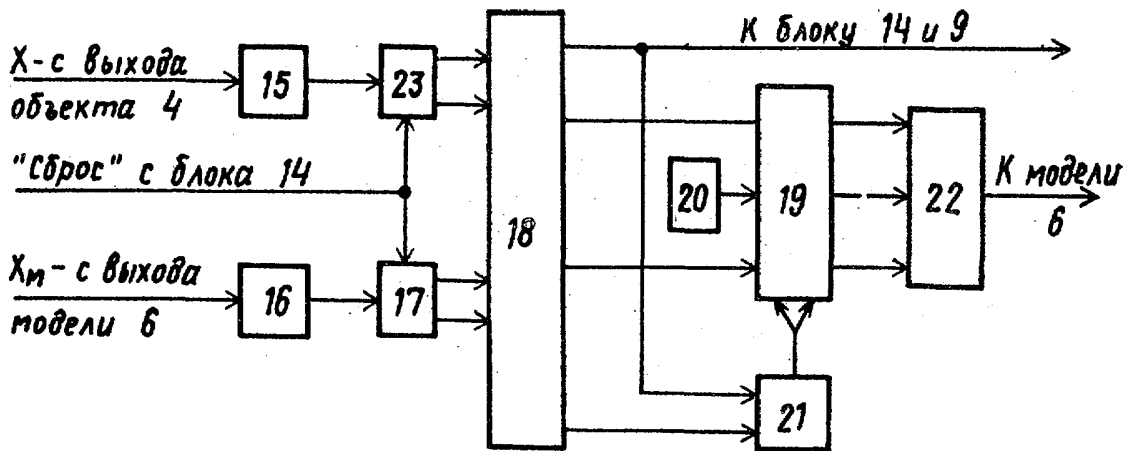
блоками новыми функциональными связями, обеспечивают повышение качества регулирования при отработке задающих воздействий путем автоматической адаптации времени запаздывания модели и коэффициента усиления регулятора.

Ф о р м у л а и з о б р е т е н и я

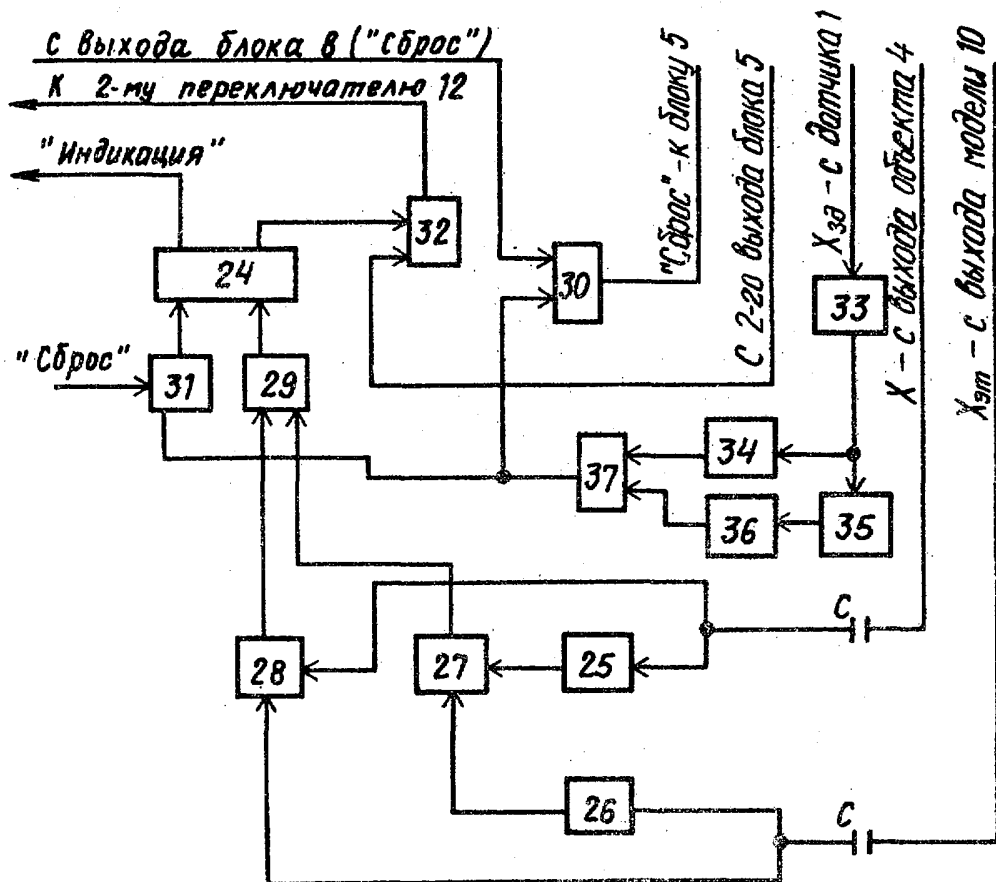
Адаптивная система управления для объектов с изменяющимся запаздыванием, содержащая задатчик, выход которого подключен к первому входу сравнивающего элемента, регулятор, выход которого через объект управления соединен с первым входом блока подстройки запаздывания, второй вход которого соединен с выходом модели с регулируемым запаздыванием и с вторым входом сравнивающего элемента, выход регулятора через упредитель соединен с первым входом модели с регулируемым запаздыванием и с третьим входом сравнивающего элемента, четвертый вход которого соединен с выходом объекта управления, а первый выход блока подстройки запаздывания соединен с вторым входом модели с регулируемым запаздыванием, отличающаяся тем, что, с целью повышения качества регулирования при отработке задающих воздействий, в нее введены пульт управления, первый и второй переключатели, эталонная модель процесса, блок деления, блок умножения и логический коммутатор, первый вход которого подключен к второму выходу блока подстройки запаздывания и к первому управляющему входу первого переключателя, выход которого через эталонную модель процесса соединен со своим вторым управляющим входом и с первым входом блока деления, выход которого через второй переключатель соединен с первым входом блока умножения, второй вход которого подключен к выходу сравнивающего элемента, выход блока умножения соединен с входом регулятора, второй вход логического коммутатора соединен с выходом объекта управления и с вторым входом блока деления, первый выход пульта управления соединен с пятым входом сравнивающего элемента, а второй выход - с третьим входом логического коммутатора, четвертый вход которого подключен к выходу задатчика и к инфор-

мационному входу первого переключателя, выход эталонной модели процесса соединен с пятым входом логического переключателя, первый и второй

выходы которого соответственно подключены к третьему входу блока подстройки запаздывания и к управляющему входу второго переключателя.



Фиг. 2



Фиг. 3