



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 2949152/24-07

(22) 04.07.80

(46) 07.04.83. Бюл. № 13

(72) Б.С.Готовский, Г.В.Лобунец
и В.Г.Сидоров

(71) Белорусский ордена Трудового
Красного Знамени политехнический
институт

(53) 621.316.727(088.8)

(56) 1. Барский В.А. Раздельное управление реверсивными тиристорными преобразователями, "Энергия", 1973, с. 41.

2. Полупроводниковые выпрямители. Под ред. Ф.И.Ковалева, М., "Энергия", 1978, с.243.

(54) (57) ЛОГИЧЕСКОЕ ПЕРЕКЛЮЧАЮЩЕЕ УСТРОЙСТВО ДЛЯ РАЗДЕЛЬНОГО УПРАВЛЕНИЯ ГРУППАМИ ТИРИСТОРНОГО ЦИКЛОКОНВЕРТОРА, содержащее два элемента задержки, входы которых соединены с выходами RS-триггера, S-вход которого подключен к выходу первого элемента ИЛИ, а R-вход - к выходу второго элемента ИЛИ, первый вход первого элемента ИЛИ соединен с выходом первого двухвходового элемента И, а первый вход второго элемента ИЛИ соединен с выходом второго двухвходового элемента И, первый вход первого элемента ИЛИ подключен через первый элемент НЕ к источнику сигнала, разрешающего формирование положительного полупериода выходного напряжения, а первый вход второго элемента ИЛИ подключен через второй элемент НЕ к источнику сигнала, разрешающего формирование отрицательного полупериода выходного напряжения, вторые входы каждого элемента И соединены между собой и через третий элемент НЕ подключены к выходу датчика состояния проводимости вентилей, о т л и ч а ю щ е с я тем, что, с целью повышения помехоустойчивости и надежности раздельного управления, оно снабжено

двумя логическими элементами ЗАПРЕТ, двумя формирователями импульсов, двумя дополнительными элементами И, двумя дополнительными элементами НЕ и двумя трехвходовыми элементами И, причем выход первого трехвходового элемента И предназначен для подключения разрешающего формирования выходного тока отрицательного направления входа блока управления, выход второго трехвходового элемента И предназначен для подключения разрешающего формирования выходного тока положительного направления входа блока управления, первый вход первого трехвходового элемента И соединен с выходом элемента задержки, подключенного к прямому выходу триггера, а первый вход второго трехвходового элемента И соединен с выходом элемента задержки, подключенного к инверсному выходу RS-триггера, вторые входы каждого из трехвходовых элементов И соединены между собой и подключены к выходу первого дополнительного элемента НЕ, третьи входы каждого из трехвходовых элементов И соединены между собой и подключены к выходу второго дополнительного элемента НЕ, при этом вход первого дополнительного элемента НЕ соединен с выходом первого дополнительного двухвходового элемента И, а вход второго дополнительного элемента НЕ соединен с выходом второго дополнительного двухвходового элемента И, первый вход первого дополнительного двухвходового элемента И соединен с выходом первого формирователя импульса длительностью T, подключенного к прямому выходу RS-триггера, а первый вход второго дополнительного двухвходового элемента И соединен с выходом второго формирователя импульса, подключенного к инверсному выходу RS-триггера, причем второй вход первого до-

полнительного двухвходового элемента И соединен с выходом источника сигнала, разрешающего формирование отрицательного полупериода выходного напряжения, а второй вход второго дополнительного двухвходового элемента И соединен с выходом источника сигнала, разрешающего формирование положительного полупериода выходного напряжения, выход первого логического элемента ЗАПРЕТ подключен к второму входу первого элемента ИЛИ, выход которого соединен с S-входом RS-триггера, а выход второго логического элемента ЗАПРЕТ подключен к второму входу второго элемента ИЛИ, выход которого соединен с R-входом RS-триггера, причем прямой вход первого логического элемента ЗАПРЕТ подключен к выходу первого дополнительного двухвходового элемента И, а прямой вход второго логического элемента ЗАПРЕТ подключен к выходу второго дополни-

тельного двухвходового элемента И, при этом инверсный вход первого логического элемента ЗАПРЕТ соединен с выходом первого элемента И, а инверсный вход второго логического элемента ЗАПРЕТ - с выходом второго элемента И, причем длительность импульса на выходе формирователей определяются как

$$T = K_3 (t_{\text{вкл. max}} + t_{\text{выкл. max}}),$$

где K_3 - коэффициент запаса по длительности, $K_3 \geq 1,25$;
 $t_{\text{вкл. max}}$ и $t_{\text{выкл. max}}$ - соответственно максимальное значение времени включения и времени выключения наиболее инерционного тиристора в силовой цепи циклоконвертора.

1

Изобретение относится к электротехнике и может быть использовано для раздельного управления циклоконверторами.

Известно устройство для раздельного управления преобразователем, содержащее элементы И, подключенные к входам соответствующих триггеров, выходы которых через элемент ИЛИ подключены к входам элементов И [1].

Недостатком данного устройства является его невысокая надежность.

Наиболее близким к предлагаемому является устройство раздельного управления группами тиристорного циклоконвертора, состоящее из трех входных логических инверторов, двух входных логических элементов И, двух входных логических элементов ИЛИ, RS-триггера и двух элементов задержки, входы которых соединены с выходами RS-триггера, причем S-вход триггера подключен к выходу первого входного элемента ИЛИ, а R-вход триггера подключен к выходу второго входного элемента ИЛИ, первый вход первого входного элемента ИЛИ соединен с выходом первого входного двухвходового логического элемента И, а первый вход второго входного элемента ИЛИ соединен с выходом второго входного двухвходового логического элемента И, а первый вход второго входного элемента ИЛИ соединен с выходом второго входного двухвходового логического элемента И, при этом первый вход первого элемента И подключен через первый входной логический инвертор к источнику сигнала, разрешающего формирование положительного полупериода выходного напряжения, а первый вход

2

второго элемента И подключен через второй входной логический инвертор к источнику сигнала, разрешающего формирование отрицательного полупериода выходного напряжения, причем вторые входы каждого входного элемента И соединены между собой и через третий входной логический инвертор подключены к выходу датчика сопротивления проводимости вентилей [2].

Недостатками известного устройства являются низкая помехоустойчивость и невысокая надежность.

Цель изобретения - повышение помехоустойчивости и надежность.

Поставленная цель достигается тем, что логическое переключающее устройство для раздельного управления группами тиристорного циклоконвертора, содержащее два элемента задержки, входы которых соединены с выходами RS-триггера, S-вход которого подключен к выходу первого элемента ИЛИ, а R-вход - к выходу второго элемента ИЛИ, первый вход первого элемента ИЛИ соединен с выходом первого двухвходового элемента И, а первый вход второго элемента ИЛИ соединен с выходом второго двухвходового элемента И, первый вход первого элемента И подключен через первый элемент НЕ к источнику сигнала, разрешающего формирование положительного полупериода выходного напряжения, а первый вход второго элемента И подключен через второй элемент НЕ к источнику сигнала, разрешающего формирование отрицательного полупериода выходного

напряжения, вторые входы каждого элемента И соединены между собой и через третий элемент НЕ подключены к выходу датчика состояния проводимости вентилей, снабжено двумя логическими элементами ЗАПРЕТ, двумя формирова- 5 телями импульсов, двумя дополнительными двухвходовыми элементами И, двумя дополнительными элементами НЕ и двумя трехвходовыми элементами И, причем выход первого трехвходового элемента И предназначен для подклю- 10 чения разрешающего формирование выходного тока отрицательного направления входа блока управления, выход второго трехвходового элемента И 15 предназначен для подключения разрешающего формирование выходного тока положительного направления входа блока управления, первый вход первого трехвходового элемента И соединен с выходом элемента задержки, подклю- 20 ченного к прямому выходу триггера, а первый вход второго трехвходового элемента И соединен с выходом элемен- 25 та задержки, подключенного к инверсному выходу RS-триггера, вторые входы каждого из трехвходовых элементов И соединены между собой и подключены к выходу первого дополнительного элемен- 30 та НЕ, третьи входы каждого из трехвходовых элементов И соединены между собой и подключены к выходу второго дополнительного элемента НЕ, при этом вход первого дополнительного элемента НЕ соединен с выходом первого дополни- 35 тельного двухвходового элемента И, а вход второго дополнительного эле- мента НЕ соединен с выходом второго дополнительного двухвходового элемен- 40 та И, первый вход первого дополни- тельного двухвходового элемента И соединен с выходом первого формирова- 45 теля импульса длительностью Т, подклю- ченного к прямому выходу RS-триггера, а первый вход второго дополни- тельного двухвходового элемента И со- 45 единен с выходом второго формирова- теля импульса, подключенного к инверсному выходу RS-триггера, причем вто- 50 рой вход первого дополнительного двухвходового элемента И соединен с выходом источника сигнала, разрешаю- 55 щего формирование отрицательного полупериода выходного напряжения, а второй вход второго дополнительного двухвходового элемента И соединен с 60 выходом источника сигнала, разрешаю- щего формирование положительного полупериода выходного напряжения, вы- ход первого логического элемента ЗА- 60 ПРЕТ подключен к второму входу перво- го элемента ИЛИ, выход которого соединен с S-выходом RS-триггера, а вы- ход второго логического элемента ЗА- ПРЕТ подключен к второму входу вто- 65 рого элемента ИЛИ, выход которого соединен с R-выходом RS-триггера, при-

чем прямой вход первого логического элемента ЗАПРЕТ подключен к выходу первого дополнительного двухвходово- 5 го элемента И, а прямой вход второго логического элемента ЗАПРЕТ подклю- чен к выходу второго дополнительного двухвходового элемента И, при этом инверсный вход первого логического 10 элемента ЗАПРЕТ соединен с выходом первого элемента И, а инверсный вход второго логического элемента ЗАПРЕТ соединен с выходом второго элемента И, причем длительность импульса на 15 выходе формирователей определяют как

$$T = K_3(t_{\text{вкл. max}} + t_{\text{выкл. max}}),$$

где K_3 - коэффициент запаса по дли- 20 тельности, $K_3 \geq 1,25$;

$t_{\text{вкл. max}}$ и $t_{\text{выкл. max}}$ - соответствен- 25 но максимальное значение времени включения и вре- мени выключения наиболее инерци- онного тиристора в силовой цепи 30 циклоконвертора.

На фиг. 1 приведена схема устрой- 35 ства управления циклоконвертором; на фиг. 2 - временные диаграммы, по- ясняющие его работу.

Устройство содержит элементы ИЛИ 1 - 3, элементы И 4 и 5, элементы ЗАПРЕТ 6 и 7, элементы ИЛИ 8 и 9, 40 триггер 10, элементы 11 и 12 задерж- ки, одновибраторы 13 и 14, подключен- ные к входам элементов И 15 и 16, элементы ИЛИ 17 и 18 и элементы И 19 и 20.

Пусть U_p и U_n - логические сигнала, разрешающие формирование на вы- 45 ходе данной фазы циклоконвертора со- ответственно положительную и отрица- тельную полуволны выходного напряже- ния; I - логический сигнал о наличии тока в этой же выходной фазе преобра- зователя; I_p и I_n - выходные логиче- 50 ские сигналы устройства раздельного управления (УРУ), разрешающие форми- рование соответственно положительной или отрицательной полуволны выходно- го тока данной фазы.

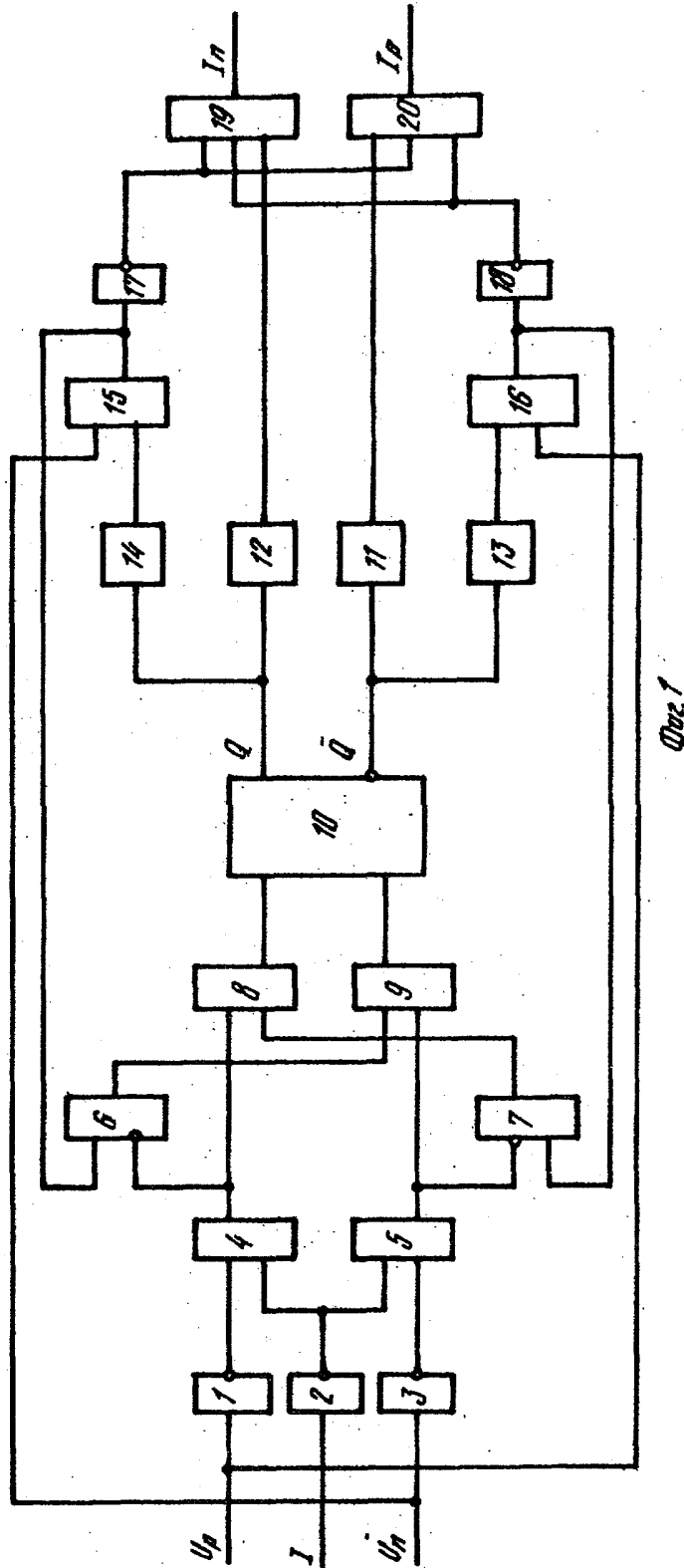
Основным элементом УРУ является RS-триггер 10, каждый из входов ко- 55 торого соединен с выходами логиче- ских элементов ИЛИ 8 и 9 собственно. На одни из входов элементов 8 и 9 подключены выходы элементов ЗАПРЕТ 6 и 7, а на другие входы - выходы логических элементов И 4 и 5. На вхо- 60 ды логического элемента 4 подается инверсия сигналов U_p и I_p , а на входы логического элемента 5 - инверсия сигналов U_n и I_n . На Q-выход тригге- ра 10 подключен одновибратор 14, за- 65 пускаемый фронтом 0/1 и задержка

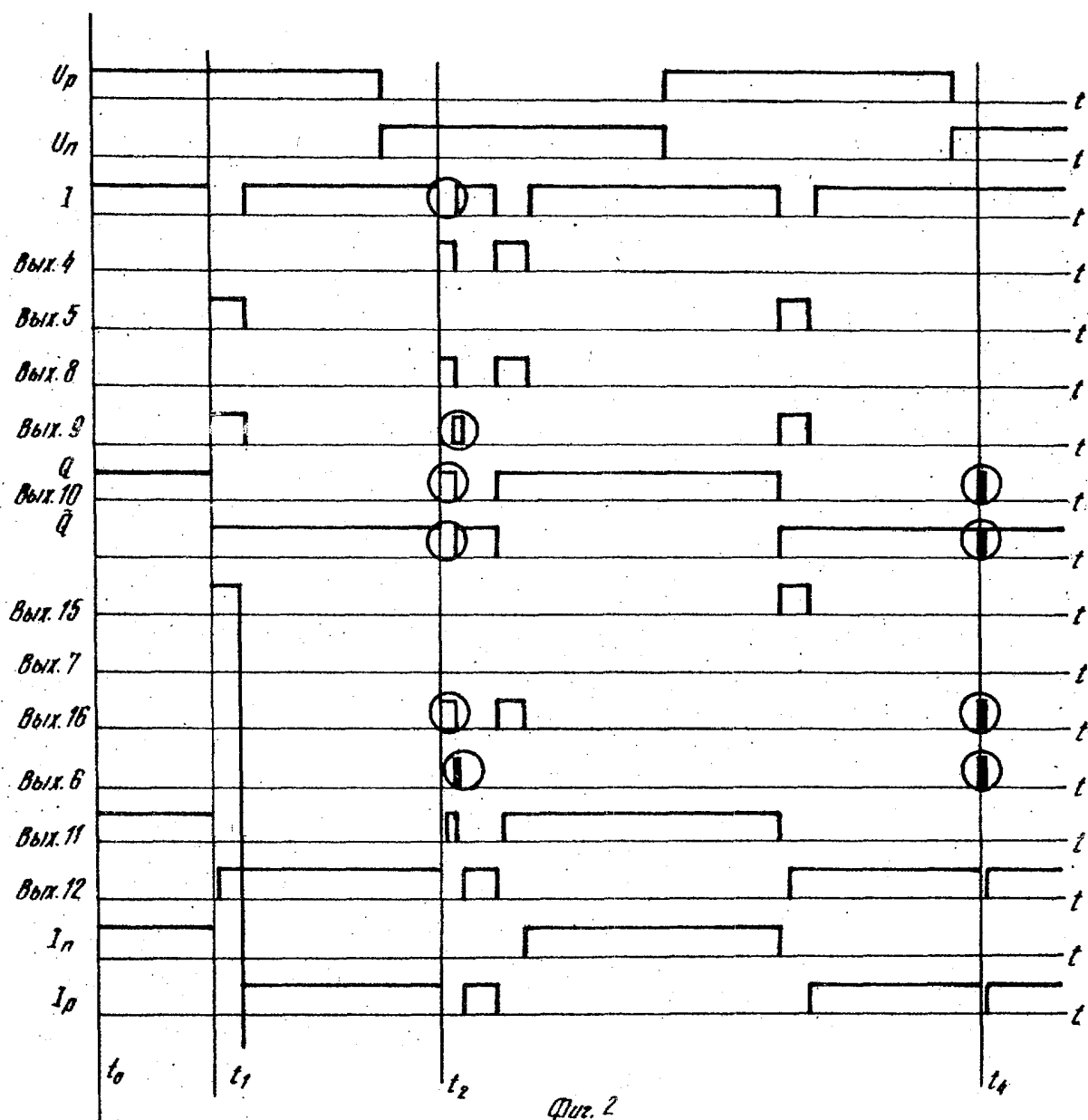
0/1 переднего фронта 12, на Q-выход триггера 10 подключены соответственно аналогичные одновибратор 13 и задержка 11. Одновибраторы 13 и 14 формируют единичный импульс длительностью T начиная с момента подачи на их входы фронта 0/1. Причем, если длительность входного импульса меньше T , то выходной импульс исчезает вместе со входным. Задержки 11 и 12 предназначены для формирования некоторой паузы в нуле при переключении триггера 10, чем исключается состязание фронтов сигналов на входах логических элементов И 19 и 20. Величина задержки должна быть не меньшей времени распространения сигналов через элементы 14, 16 и 18 или элементы 13, 15 и 17 соответственно режиму переключения. Далее на логические входы элементов ЗАПРЕТ 6 и 7 подается выходной сигнал с логических элементов И 16 и 15, а на запрещающие входы элементов 6 и 7 - сигналы с выходов элементов 4 и 5. Наконец, логические элементы И 15 и 16 блокируют выходные сигналы одновибраторов 14 и 13 при неподходящих значениях входных логических сигналов U_p и U_n , чем исключается возможность лишнего переключения триггера 10.

Проследим работу УРУ в нормальном режиме, т.е. при отсутствии помех. Пусть в момент t_0 (фиг. 2) сигналы $I=1$, $U_p=1$, $U_n=0$, а триггер 10 установлен в состояние $Q=1$ и на выходе УРУ имеем $I_n=1$, т.е. разрешается формирование отрицательного полупериода выходного тока. Триггер при этом находится в режиме хранения информации, так как на оба его входа с выходов элементов 8 и 9 подан нуль. Если в момент t_1 ток на выходе преобразователя прекратится и сигнал I станет равным нулю, то с выхода элемента 5 через элемент 9 на R-вход триггера 10 будет подана '1', в результате триггер установится в состояние $Q=1$. Начиная с этого момента на выходе одновибратора 13 и, соответственно, элемента 15 появится импульс дискриминации помехи с длительностью T . Этот импульс блокирует через элементы 19 и 20 выходные сигналы T_p и T_n , чем обеспечивается необходимое время паузы для восстановления запирающих свойств вентилей выходящей из работы группы, ибо $T > t_{\text{выкл. макс}}$. Импульс также проходит на вход элемента ЗАПРЕТ 6. Однако импульс не проходит на выход элемента 6, так как на запрещаю-

щий вход элемента 6 подается '1' с выхода элемента 4. По истечении времени T импульс с выхода одновибратора 13 снимается, после чего на выходе УРУ появляется разрешение на формирование положительного полупериода тока, т.е. $I_p=1$, в результате на выходе преобразователя появляется ток и логический сигнал приобретает значение '1', последнее блокирует элементы 4 и 5 и триггер 10 переводится в режим хранения информации. Пусть в момент времени t_2 (фиг. 2) под действием помехи сигнал приобретает значение '0', тогда на S-вход триггера 10 с выхода элемента 4 через элемент 8 подается '1' (фиг. 2), триггер устанавливается в состояние $Q=1$, что приводит к появлению на входе элемента ЗАПРЕТ 6 импульса дискриминации помехи с элемента 14. Пока помеха присутствует в сигнале I импульс дискриминации не проходит через элемент 6, так как на его запрещающий вход подается '1' с выхода элемента 4. Однако так как длительность помехи меньше T , то к моменту окончания помехи импульс дискриминации проходит через элементы 6 и 9 на R-вход триггера и устанавливает его в предыдущее состояние $Q=1$, после чего импульс дискриминации помехи снимается с выхода элемента 16. В соответствии с изложенным выше порядком работы схемы на время присутствия импульсов дискриминации выходные сигналы УРУ блокируются (фиг. 2). Принципиально помеха может воздействовать на триггер 10 помимо канала I . Пусть в момент времени t_4 (фиг. 2) происходит ложное переключение триггера 10, причем канал, по которому прошла помеха, неопределен. Аналогично рассмотренному выше процессу сразу после момента времени t_4 блок 14 сформирует импульс дискриминации помехи, который восстанавливает триггер 10 в прежнее состояние сразу, после чего импульс дискриминации снимается, а выходные сигналы с УРУ приобретают значения, предшествующие ложному переключению триггера. 10.

Таким образом, предлагаемое устройство обеспечивает повышенную надежность работы УРУ за счет дискриминации импульсов помехи по длительности, причем быстродействие УРУ не уменьшается, так как величина задержки T по существу не превышает времени, необходимого для восстановления запирающих свойств вентилей силовой схемы преобразователя.





Редактор Ю.Ковач Составитель О.Парфенова Корректор А.Дзятко
 Техред М.Тепер

Заказ 2501/42 Тираж 685 Подписное

ВНИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППЦ "Патент", г.Ужгород, ул.Проектная, 4