

ЦИФРОВОЙ АЛГЕБРАИЧЕСКИЙ СУММАТОР-ВЫЧИТАТЕЛЬ

канд. техн. наук, доцент С.Г. Шматин, студент гр. 113222
Д.Н. Рапинчук, студент гр. 113222 М.А. Моисеев

Белорусский национальный технический университет

Современное развитие вычислительной электроники создает возможность построения сумматора-вычитателя.

Вычитатель представляет собой такую цифровую электронную схему, которая должна принимать три двоичных входных сигнала и выдавать два двоичных выходных сигнала в соответствии с правилами двоичного вычитания [1]. Следует отметить, что правила вычитания являются более сложными, чем правила сложения, так как вход, соответствующий уменьшаемому, обладает особыми свойствами и не является взаимозаменяемым со входом вычитаемого и займа из младшего разряда. Правила двоичного вычитания для двух случаев приведены в табл. 1.

Таблица 1

Правила двоичного вычитания

Действие	Случай 1								Случай 2									
Уменьшаемое	0	1	0	0	1	1	0	1	A	0	1	0	0	1	1	0	1	A
Вычитаемое	0	0	1	0	1	0	1	1	B	0	0	1	0	1	0	1	1	B
Заем	0	0	0	1	0	1	1	1	C	0	0	0	1	0	1	1	1	C
Разность	0	1	1	1	0	0	0	1	D	0	1	1	1	0	0	0	1	D
Заем	0	0	1	1	0	0	1	1	F _A	0	0	1	1	0	0	1	1	F _A

Пользуясь табл. 1, можно записать логические формулы для разности D и заема F :

$$D = [(A \cdot \bar{B} \cdot \bar{C}) + (\bar{A} \cdot B \cdot \bar{C}) + (\bar{A} \cdot \bar{B} \cdot C) + (A \cdot B \cdot C)];$$

$$F = [(\bar{A} \cdot B \cdot \bar{C}) + (\bar{A} \cdot \bar{B} \cdot C) + (\bar{A} \cdot B \cdot C) + (A \cdot B \cdot C)].$$

Эти формулы, как и для схемы сумматора, могут быть разложены на множители, и члены в них могут быть сгруппированы так, чтобы получилась функциональная схема, обладающая нужными свойствами. Так, например, задаваясь функциональной схемой с одним инвертором, получаем логические формулы для вычитания в следующем виде:

$$D = \{(A + B + C) + \overline{[(A \cdot B) + (A \cdot C) + (B \cdot C)]} + (A \cdot B \cdot C)\},$$

$$F = \{[D + (B \cdot C)] \cdot (B + C)\}.$$

Сравнивая таблицы двоичного вычитания с таблицей двоичного сложения, замечаем, что логические формулы для разности и для суммы полностью совпадают по структуре и отличаются сигналом для переноса и займа. Поэтому может оказаться рациональным построение сумматора-вычитателя, так называемого алгебраического сумматора. Подобная тенденция наблюдается в электронных вычислительных машинах последних конструкций, так как при этом уменьшается вероятность ошибок, облегчается реализация логических действий и ускоряется выполнение арифметических операций.

Описание функциональной схемы сумматора-вычитателя

Сопоставление логических формул для сложения и вычитания позволяет заключить, что схема сумматора-вычитателя может иметь общие цепи для образования сигналов, представляющих собой сумму или разность, и должна содержать разные цепи для получения сигналов займа и переноса. Цепи займа и переноса функционируют следующим образом. В случае сложения при определенных условиях из младшего разряда в соседний старший разряд посылается сигнал переноса, а при вычитании перенос подавляется и из младшего разряда посылается сигнал займа в соседний старший разряд. Так как вычитать в прямом коде можно только из большего числа меньшее, то полезно использовать две цепи, вырабатывающие сигналы займа: одну для случая, когда уменьшаемым является A , а другую когда уменьшаемым является B . При этом отпадает необходимость использования обратного или дополнительного кода.

Для автоматического переключения цепей займа можно воспользоваться следующим обстоятельством: если вычитаемое больше уменьшаемого, то в старшем разряде сумматора-вычитателя образуется сигнал займа. Этот сигнал, кроме указания знака разности, может быть использован для приведения в действие электронного переключателя цепей займа.

Рассмотрим один из возможных приемов расчета функциональной схемы цифрового алгебраического сумматора. Сумма или разность может быть записана логической формулой следующего вида:

$$D = \{(A + B + H) \cdot [(A \cdot B) + (A \cdot H) + (B \cdot H)] + (A \cdot B \cdot H)\},$$

где H – сигнал переноса или займа из соседнего младшего разряда.

Для переноса справедливо равенство $H = C$, поэтому имеем условие

$$E = [(A \cdot B) + (A \cdot H) + (B \cdot H)].$$

Для займа выполняется то же равенство $H = C$, но может быть два случая в зависимости от того A или B является уменьшаемым. В первом случае обозначим заем через F_A , а во втором – через F_B . Тогда имеем логические формулы:

$$F_A = [(\bar{A} \cdot B \cdot \bar{H}) + (\bar{A} \cdot \bar{B} \cdot H) + (\bar{A} \cdot B \cdot H) + (A \cdot B \cdot H)] = \\ = \{(B + H) \cdot [(A \cdot B) + (A \cdot H) + (B \cdot H)] + (B \cdot H)\},$$

$$F_B = [(A \cdot \bar{B} \cdot \bar{H}) + (\bar{A} \cdot \bar{B} \cdot H) + (A \cdot \bar{B} \cdot H) + (A \cdot B \cdot H)] = \\ = \{(A + H) \cdot [(A \cdot B) + (A \cdot H) + (B \cdot H)] + (A \cdot H)\}.$$

Выражение для сигнала K с выхода переноса и займа схемы сумматора-вычитателя, который направляется в старший разряд вычитателя, может быть записано в виде

$$K = [(L \cdot E) + (M_A \cdot F_A) + (M_B \cdot F_B)],$$

где L – сигнал операции сложения;

M_A – сигнал вычитания, когда $A > B$;

M_B – сигнал вычитания, когда $A < B$.

Таким образом, сигналы L и M являются сигналами, управляющими работой сумматора-вычитателя в определенный момент времени.

Логика работы сумматора-вычитателя представлена в табл.2.

Определение управляющего сигнала, который при вычитании должен быть использован первым, может производиться автоматически, если считать положительное число уменьшаемым, а отрицательное – вычитаемым. Справедливость этого правила обуславливается тем, что при вычитании одно число всегда можно принимать за положительное, а другое – за отрицательное. Если числа A и B отрицательные и производится вычитание L из числа B , то по существующим правилам число A можно рассматривать как положительное. При этом если вычитаемое оказывается больше уменьшаемого, то сигнал из самого старшего разряда переключает цепь займа и разность образуется в прямом коде.

Таблица 2

Логика работы сумматора-вычитателя

Работа							Примечания
Входы			Выходы				
A	B	C	Сложение (A+B+C)		Вычитание [A-(B+C)]		
			Сумма	Перенос	Разность	Заем	
0	0	0	0	0	0	0	A – символ данного разряда первого числа; B – символ второго числа; C – символ из предыдущего разряда
0	0	1	1	0	1	1	
0	1	0	1	0	1	1	
0	1	1	0	1	0	1	
1	0	0	1	0	1	0	
1	0	1	0	1	0	0	
1	1	0	0	1	0	0	
1	1	1	1	1	1	1	
Функционирование							Примечания
Входы				Выходы			
A	B	C	F	G	V	W	
0	0	0	1	0	0	0	A, B, C – цифры слагаемых; F, G – сигналы управления сложением или вычитанием; V, W – цифры суммы (разности) и переноса (заема); $E_{\text{выс}} = 1$ $E_{\text{низ}} = 0$
1	0	0	1	0	1	0	
0	1	0	1	0	1	0	
1	1	0	1	0	0	1	
0	0	1	1	0	1	0	
1	0	1	1	0	0	1	
0	1	1	1	0	0	1	
1	1	1	1	0	1	1	
0	0	0	0	1	0	0	
1	0	0	0	1	1	0	
0	1	0	0	1	1	1	
1	1	0	0	1	0	0	
0	0	1	0	1	1	1	
1	0	1	0	1	0	0	
0	1	1	0	1	0	1	
1	1	1	0	1	1	1	
Логика							
Сумма (разность)							
$V ::= \{[(A \cdot (B+C)) + (B \cdot C)] \cdot [A + (B \cdot C)]\} + (A \cdot B \cdot C)$							
Перенос (заем)							
$W ::= \{F \cdot A \cdot [(B+C)]\} + \{G \cdot [(A \cdot (B+C)) + (B \cdot C)] \cdot (B \cdot C) + (B \cdot C)$							

Проиллюстрируем сказанное численным примером. Предположим, что из числа $A = 101$ производится вычитание числа $5 = 110$ (табл.3).

Таблица 3

Пример вычитания

Действие	Случай 1					Случай 2				
Уменьшаемое	A		1	0	1	A		1	1	0
Вычитаемое	B		1	1	0	B		1	0	1
Разность	D					D		0	0	1
Сигнал переключения	M_A	1				M_B	0			

В первом случае вычитания заем создает сигнал $M_A = 1$, который указывает, что имеется $A < C < B$, и производит переключение цепи займа в рассматриваемой электронной схеме так, чтобы производилось вычитание меньшего числа A из большего числа B . Данный пример показывает, что, за исключением действия переключения цепей займа, вычитание в прямом коде не требует дополнительных операций.

Если сгруппировать члены логической формулы для сигнала переноса, то функциональная схема сумматора-вычитателя может быть изображена так, как это показано на рис. 1.

Сложность схемы объясняется тем, что в ней сигнал суммы или переноса проходит не более чем через два логических элемента.

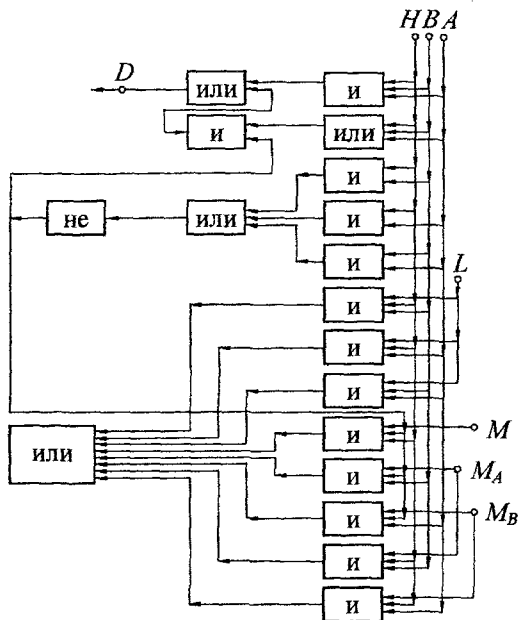


Рис. 1. Функциональная схема цифрового сумматора вычитателя

Использованные источники

1. Зимин, В.А. Электронные вычислительные машины. — М.: Машиностроение, 1971.