

МЕТОДЫ ПОСТРОЕНИЯ ЦИФРОВЫХ СУММАТОРОВ И СПОСОБЫ УВЕЛИЧЕНИЯ ИХ БЫСТРОДЕЙСТВИЯ

канд. техн. наук, доцент С.Г. Шматин,
студентка гр. 113122 Ю.В. Лосякина

Белорусский национальный технический университет

Сумматор – это электронный узел, в котором выполняется операция суммирования цифровых кодов двух чисел. При сложении чисел, представленных в виде двоичных кодов, происходит сложение двух значений чисел в данном i -м разряде и прибавление единицы переноса (если она возникает) из младшего ($i-1$)-го разряда. В результате формируется значение суммы в i -м разряде и может возникнуть перенос в старший ($i+1$)-й разряд [1].

По способу передачи цифровых кодов в ЦВМ различают параллельные и последовательные сумматоры.

Двоичный одноразрядный сумматор должен работать в соответствии с таблицей истинности для двоичного сложения.

ДНФ выражений Σ и Π имеет вид

$$\Sigma = \bar{x}yz + x\bar{y}z + xy\bar{z} + xyz;$$

$$\Pi = \bar{x}yz + x\bar{y}z + xy\bar{z} + xyz,$$

где x и y – слагаемые;

z – перенос из предыдущего разряда;

Σ – сумма;

Π – перенос в следующий разряд.

По этим каноническим формам можно построить схему сумматора с помощью элементов *И*, *ИЛИ*, *НЕ* (рис.1).

Таблица истинности

x	y	z	Σ	Π
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Исследование предназначено для использования в сумматорах чисел в двоичном представлении. Технический результат заключается в повышении разрядности схемы ускоренного переноса без увеличения количества каскадов в критическом тракте распространения сигнала переноса, снижающего быстродействие устройства. Поставленная задача решается не введением дополнительных ло-

гических элементов, а оптимальным соединением логических элементов с заданной функциональной логикой.

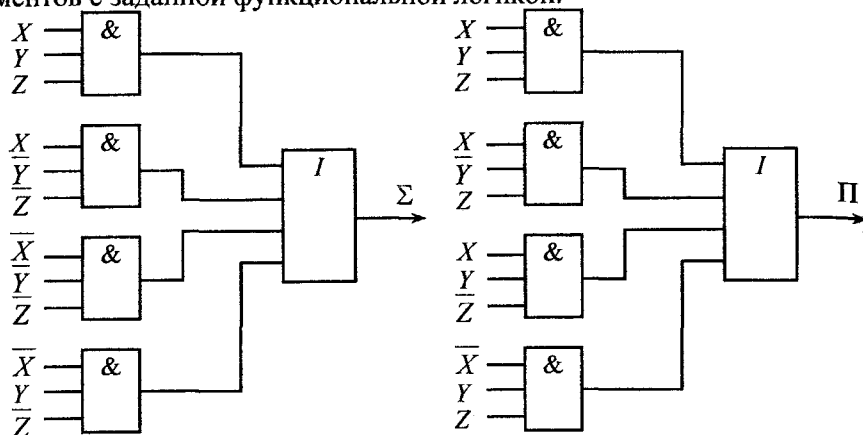


Рис.1. Функциональная схема сумматора на элементах И, ИЛИ, НЕ и схема ускоренного переноса

Результат ускоренного переноса достигается за счет выполнения формирователей сигналов возникновения переноса на элементах 2И-2И-2ИЛИ и формирователей сигналов распространения переноса на элементах 2ИЛИ-2ИЛИ-2И, а также за счет изменения выполнения выходного элемента и его связей, обеспечивающих формирование сигналов возникновения и распространения переноса формирователями сигналов возникновения переноса и формирователями сигналов распространения переноса по состояниям двух пар разрядов суммируемых чисел. Схема ускоренного переноса из пяти разрядов (рис.2) содержит с первого по третий формирователи 1-3 сигналов возникновения переноса, первый и второй формирователи 4 и 5 сигналов распространения переноса и выходной элемент 6 3И-2И-3ИЛИ, у которого первые входы в группах объединений 3И, 2И и внешний вход функции 3ИЛИ подключены соответственно к выходам с первого по третий формирователей 1-3 сигналов возникновения переноса, второй вход в группе объединений 3И соединён с выходом первого формирователя 4 сигнала распространения переноса, а третий вход в группе объединения 3И и второй вход в группе объединения 2И подключены к выходу второго формирователя 5 сигнала распространения переноса, выход элемента 6 является выходом сигнала переноса C_5 . Первый и вто-

рой формирователи 1 и 2 сигналов возникновения переноса представляют собой элементы 2И-2И-2ИЛИ, входы каждой пары объединений по И которых подключены ко входам пар разрядов суммируемых чисел $A0$ и $B0$, $A1$ и $B1$, $A2$ и $B2$, $A3$ и $B3$ соответственно, третий формирователь 3 сигнала возникновения переноса выполнен на элементе 2И, входы которого подключены ко входам разрядов $A4$ и $B4$ суммируемых чисел. Формирователи 4, 5 сигналов распространения переноса представляют собой элементы 2ИЛИ-2ИЛИ-2И, входы каждой пары объединений по ИЛИ которых подключены ко входам пар разрядов $A1$ и $B1$, $A2$ и $B2$, $A3$ и $B3$, $A4$ и $B4$ соответственно.

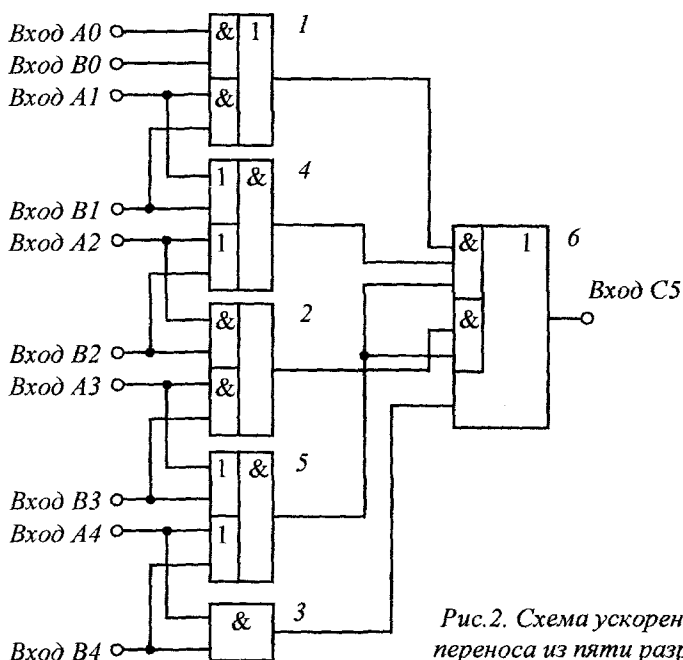


Рис.2. Схема ускоренного переноса из пяти разрядов

Работу устройства описывает логическое выражение

$$\begin{aligned}
 C5 = & A0B0(A1 + B1) \cdot (A2 + B2) \cdot (A3 + B3) \cdot (A4 + B4) + \\
 & + A1B1(A2 + B2) \cdot (A3 + B3) \cdot (A4 + B4) + \\
 & + A2B2(A3 + B3) \cdot (A4 + B4) + A3B3(A4 + B4) + A4B4.
 \end{aligned}$$

Его можно представить в виде логической суммы трех выражений

$$(A_0B_0 + A_1B_1) \cdot (A_1 + B_1) \cdot (A_2 + B_2) \cdot (A_3 + B_3) \cdot (A_4 + B_4), \quad (1)$$

$$(A_2B_2 + A_3B_3) \cdot (A_3 + B_3) \cdot (A_4 + B_4), \quad (2)$$

$$A_4B_4, \quad (3)$$

первое из которых (1) формирует элемент 6 с помощью логического умножения трех сигналов с выходов формирователей 1, 4 и 5, соответствующих выражениям $(A_0B_0 + A_1B_1)$, $(A_1 + B_1) \cdot (A_2 + B_2)$ и $(A_3 + B_3) \cdot (A_4 + B_4)$, второе выражение (2) – с помощью логического умножения двух сигналов с выходов формирователей 2 и 5, соответствующих выражениям $(A_2B_2 + A_3B_3)$ и $(A_3 + B_3) \cdot (A_4 + B_4)$. Выражение (4) соответствует сигналу на выходе формирователя 3. Логическое сложение выражений (1), (2) и (3) выполняет элемент 6.

Схема ускоренного переноса из шести разрядов отличается от пятиразрядной наличием третьего формирователя 7 сигнала распространения переноса, представляющего собой элемент *2ИЛИ*, входы которого подключены к паре разрядов A_5 и B_5 , и выполнением третьего формирователя 3 сигнала возникновения переноса на элементе *2И-2И-2ИЛИ*, входы каждой пары объединений по *И* которого подключены ко входам пар разрядов A_4 и B_4 , A_5 и B_5 . Выходной элемент 6 выполняет функцию *3И-2И-3ИЛИ-2И*, внешний вход завершающей функции *2И* которого подключен к выходу третьего формирователя 7 сигнала распространения переноса.

$$C_6 = A_0B_0(A_1 + B_1) \cdot (A_2 + B_2) \cdot (A_3 + B_3) \cdot (A_4 + B_4) \cdot (A_5 + B_5) + \\ + A_1B_1(A_2 + B_2) \cdot (A_3 + B_3) \cdot (A_4 + B_4) \cdot (A_5 + B_5) + \\ + A_2B_2(A_3 + B_3) \cdot (A_4 + B_4) \cdot (A_5 + B_5) + \\ + A_3B_3(A_4 + B_4) \cdot (A_5 + B_5) + A_4B_4(A_5 + B_5) + A_5B_5$$

может быть преобразовано к виду

$$C_6 = [(A_0B_0 + A_1B_1) \cdot (A_1 + B_1) \cdot (A_2 + B_2) \cdot (A_3 + B_3) \cdot (A_4 + B_4) + \\ + (A_2B_2 + A_3B_3) \cdot (A_3 + B_3) \cdot (A_4 + B_4) + \\ + (A_4B_4 + A_5B_5)] \cdot (A_5 + B_5). \quad (4)$$

Выходной элемент 6 формирует выражение (4), выполняя конъюнкцию трех выходных сигналов формирователей 1, 4 и 5,

соответствующих формулам $A_0B_0 + A_1B_1$, $(A_1 + B_1) \cdot (A_2 + B_2)$ и $(A_3 + B_3) \cdot (A_4 + B_4)$, конъюнкцию двух сигналов с выходов формирователей 2 и 5, описываемых выражениями $A_2B_2 + A_3B_3$ и $(A_3 + B_3) \cdot (A_4 + B_4)$, а затем дизъюнкцию результатов логических умножений с выходным сигналом формирователя 3 – $A_4B_4 + A_5B_5$ и конъюнкцию результата дизъюнкции с выходным сигналом формирователя 7 – $A_5 + B_5$.

Таким образом, данное техническое решение обеспечивает повышение разрядности схемы ускоренного переноса без увеличения количества каскадов в критическом тракте благодаря формированию сигналов возникновения и распространения переноса соответствующими элементами устройства по состояниям сразу двух пар разрядов суммируемых чисел, то есть без введения дополнительных элементов ускоряется формирование суммы и сигнала переноса.

Использованные источники

1. Преснухин, Л.Н., Нестеров, П.Р. Цифровые вычислительные машины. – М.: Высшая школа, 1981. – 510 с.