

т.е. происходит вскрытие контактных окон, заполнение их поликремнием с последующей планаризацией для каждого отдельного контакта. Кроме того, низкотемпературное формирование конденсатора не ведет к деградации контактного сопротивления вольфрамовой шины. Ячейка выполнена с тремя уровнями металлизации (Al-W-Al), суммарная емкость запоминающего элемента — 22fF. Представленный чип 4 Гбитной DRAM имеет площадь 649.7 мм².

Таким образом, в настоящее время технологическая конкурентная борьба при создании суперпамяти идет по двум основным направлениям: использование нанотехнологии с получением линейных размеров 0,1 мкм, а также модернизации конструкции ячейки посредством внедрения новых материалов.

ЛИТЕРАТУРА

1. Колешко В.М., Ковалевский А.А. Поликристаллические пленки полупроводников в микроэлектронике.- Мн.: Наука и техника, 1978.-136с. 2. Semiconductor Online // May 20, 2000. 3.Semiconductor Online // December 20, 2000. 4. SolidState Technology//August 1998. 5. Samsung Tech-News: Samsung Secures Technology for 4Gb DRAM //Feb 9, 2001.

УДК 621.3.049.77

В.М. Колешко, В.В. Ковалевский

ТЕНДЕНЦИИ РАЗВИТИЯ СТАТИЧЕСКОЙ ОПЕРАТИВНОЙ СУПЕРПАМЯТИ

*Белорусский национальный технический университет
Минск, Беларусь*

В последние несколько лет СОЗУ — статические оперативные запоминающие устройства (SRAM) переживают второе рождение, становясь интегральной составляющей рынка процессоров, сетевой аппаратуры и оборудования связи. По прогнозам, мировой рынок СОЗУ в 2001г. составит около 8 млрд.\$, т.е. возрастет на 22% по сравнению с 2000 г.

SRAM ассоциируется в первую очередь с микропроцессорной кэш-памятью первого уровня (рис.1).

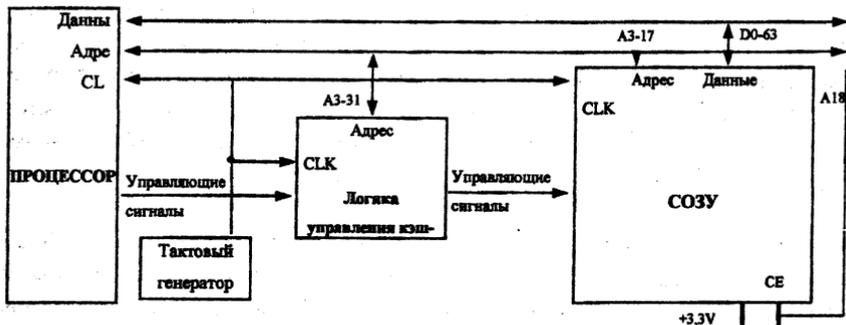


Рис. 1. Типичная конфигурация микропроцессорной кэш-памяти

Разработаны несколько версий СОЗУ для использования в качестве кэш-памяти — «не конвейерная» (flow-through) и «конвейерная» (pipelined) с одно- и двухтактной отменой выборки (табл.1). Микропроцессоры типа «Pentium» или PowerPC ведут пакетный обмен четырьмя словами данных при чтении из кэш-памяти, поэтому под производительностью СОЗУ понимают число тактов, требуемых для каждого из четырех обращений. Например, конвейерное устройство работающее на 66МГц требует 3 такта для выполнения первой операции ЧТЕНИЕ и по одному такту для остальных трех выборок, т.е. всего 7 тактов (3-1-1-1). В табл. 2 представлена сравнительная характеристика кэш-СОЗУ различных версий.

Таблица 1

Типы организации кэш-СОЗУ

Организация	Отличительные особенности
НЕКОНВЕЙЕРНАЯ (flow-through)	Синхронная с входными регистрами.
КОНВЕЙЕРНАЯ (pipelined)	Синхронная с регистрами на входах и выходах Однотактная (SCD) и двухтактная (DCD) отмена выборки

Таблица 2

Сравнительная характеристика кэш-СОЗУ

Тактовая частота шины, МГц	Организация СОЗУ			
	32Кx32 КОНВЕЙЕРНАЯ		32Кx32 НЕКОНВЕЙЕРНАЯ	
	Период синхронизации	Производительность ЧТЕНИЕ ЗАПИСЬ	Время выборки	Производительность ЧТЕНИЕ ЗАПИСЬ
50	20	3-1-1-1 2-1-1-1	12	2-1-1-1 2-1-1-1
60	16,7	3-1-1-1 2-1-1-1	10	2-1-1-1 2-1-1-1
66	15	3-1-1-1 2-1-1-1	9	2-1-1-1 2-1-1-1
75	13,3	3-1-1-1 2-1-1-1	9	3-2-2-2 3-2-2-2
83	12	3-1-1-1 2-1-1-1	9	3-2-2-2 3-2-2-2
100	10	3-1-1-1 2-1-1-1	9	3-2-2-2 3-2-2-2
125	8	3-1-1-1 2-1-1-1	9	3-2-2-2 3-2-2-2

Неконвейерные (flow-through) СОЗУ входят в состав цифровых сигнальных процессоров (DSP), так как в отличие от конвейерных устройств не имеют дополнительной задержки на такт при получении данных.

Совершенствование технологии изготовления кэш-СОЗУ приводит к увеличению запоминающей способности и быстродействия. Так, компания Hewlett-Packard разработала КНИ-технология (кремний на изоляторе), позволяющую встроить в свой RISC-процессор PA-8700 кэш-память емкостью 2,25 Мбит. Использование этой технологии позволило увеличить на 50%, по сравнению с КМОП-технологией, емкость кэш-памяти. Быстродействие возросло с 500 до 900 МГц, а размер кристалла уменьшился на 34% до 306 мм². Потребляемая мощность данной схемы составляет 7,1 Вт при напряжении питания в 1,5 В. Кроме того, эксплуатационные характеристики нового процессора улучшились в целом на 19% по сравнению с аналогом, изготовленным в КМОП-базисе. Однако, КНИ-технология вряд ли будет широко использоваться для схем памяти. Предполагается, что в ближайшие несколько лет будет происходить постепенное понижение рабочей частоты, из-за чего преимущества КНИ перед КМОП-технологией будет постоянно сокращаться [1].

Технология изготовления кэш-СОЗУ от Hitachi, позволяет ей работать в диапазоне напряжения питания от 0,65 до 2В [2]. Главным фактором при разработке данного кристалла было стремление не к улучшению эксплуатационных характеристик, а к снижению мощности. В итоге результирующая рассеянная мощность при напряжении 0,65 В и частоте 120 МГц составила 1,7 Вт, а при 2В и частоте 1,04 ГГц — 530 мВт. Разработчики стремились создать кэш-память для микропроцессоров, регулирующих свое рабочее напряжение в зависимости от фактической нагрузки. Но, возможно, наиболее значимым достижением новой конструкции стали ячейки СОЗУ, получившие пока условное название «литографически симметричные ячейки». Их назначение — компенсация неоднородностей в осажденных и поликремниевых слоях СОЗУ. Подобные неоднородности могут привести к ошибочному определению характеристик фотомаски, и как следствие — к искажению топологических размеров элементов СОЗУ. Создание новых ячеек позволяет получить монолитные осажденные и поликремниевые структуры, что приводит к снижению шумового порога и сокращению времени задержки, и, таким образом, способствует достижению поставленной цели по снижению мощности.

Еще недавно СОЗУ были только синонимом кэш-памяти персональных компьютеров. Однако в 2001г. предполагается, что кэш-память будет реализовываться на одном кристалле с процессором и тем самым потребность в

синхронных ОЗУ уменьшится. Чтобы компенсировать такое снижение, фирмы-производители обращаются к системам связи, в частности сотовой телефонии. Отличительными особенностями памяти для сотовой телефонии являются малая потребляемая мощность, малая площадь монтажа, низкая себестоимость, но не быстроедействие (более 30нс). В 2001 году в сотовой телефонии наиболее распространены СОЗУ емкостью 4Мбит, однако к концу года основными могут стать устройства емкостью 8Мбит и питанием в 1,8В. В последнее время получила развитие тенденция совмещать СОЗУ с флэш-памятью на одном кристалле. Установлено, что если поместить не только СОЗУ, но флэш и другие ИС на кристалле, то он оказывается очень выгодным для использования в мобильных устройствах связи. Это особенно необходимо сейчас, когда на мировом рынке телефонов осуществляется переход на аппараты третьего поколения, в которых имеется возможность загрузки данных, музыки и другой мультимедийной информации из глобальной сети Интернет и, соответственно, увеличиваются требования к емкости схем памяти. В качестве примера такой интеграции, можно привести модуль фирмы Samsung Semiconductor, где 8Мбит СОЗУ смонтированы вместе с 64Мбит-ной флэш-памятью типа И-НЕ. Прибор изготовлен с использованием 0,18-мкм технологии. СОЗУ имеет время выборки 85 нс. Для флэш-памяти характерно время считывания в 50нс. Напряжение питания составляет 2,4 - 3В. В конце 2001 г. Samsung Semiconductor намеревается освоить выпуск модулей с СОЗУ емкостью 32Мбит и 64Мбит-ной флэш-памятью [3].

Также интерес представляют разработки быстродействующих синхронных СОЗУ, используемых в коммутаторах, маршрутизаторах и другом сетевом оборудовании. Для таких устройств должно быть характерно высокое быстроедействие (до 50нс) и большая емкость (до 32Мб). Ведущие производители кристаллов памяти по разному осуществляют специализацию своих схем для специфичных требований сетевой аппаратуры.

Так, Micron и IDT совместно с Motorola разработали архитектуру *Zero-Bus Turnaround (ZBT)* с нулевой задержкой на шине данных при осуществлении цикла ЧТЕНИЕ-ЗАПИСЬ-ЧТЕНИЕ. Иными словами, исключаются «лишние» такты (dead cycles или NOP) при переходе от операции ЧТЕНИЕ к ЗАПИСЬ, т.е. такое устройство может считывать или записывать информацию за каждый тактовый цикл за счет чего достигается 100%-ная загрузка шины и увеличивается полоса пропускания (до 500Мбит/с). По сравнению с кэш-СОЗУ для *ZBT* уменьшилось число необходимых управляющих сигналов. В табл. 3 представлено количество тактов, необходимых для цикла ЧТЕНИЕ-ЗАПИСЬ-ЧТЕНИЕ (turnaround) кэш-СОЗУ и *ZBT*. Диаграммы работы устройств обоих типов на рис. 2 и 3 соответственно. Максимальная информационная емкость *ZBT* СОЗУ — 16Мбит для ширины шины x18, x32, x36.

Количество тактов для осуществления цикла ЧТЕНИЕ-ЗАПИСЬ-ЧТЕНИЕ

Тип памяти	Количество тактов
Конвейерное кэш-СОЗУ	7
Конвейерное ZBT	5
Неконвейерное кэш-СОЗУ	5
Неконвейерное ZBT	4

Еще одну разновидность памяти без шинной задержки для использования в сетевом оборудовании — *No-Bus Latency* — разработал Cypress Semiconductor. Выпущен первый прибор СУС71380 емкостью 18 Мбит.[4]

Таким образом, конкурентная борьба на рынке обуславливает развитие статической оперативной суперпамяти как для телекоммуникаций и устройств связи, так и для традиционного применения в качестве микропроцессорной кэш-памяти.

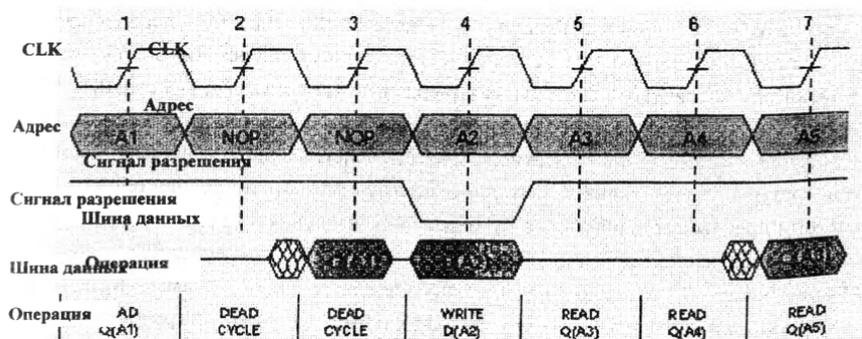


Рис. 2 Диаграмма работы конвейерного кэш-СОЗУ

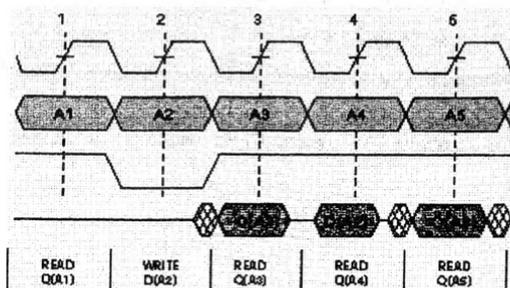


Рис. 3 Диаграмма работы конвейерного СОЗУ типа ZBT

ЛИТЕРАТУРА

1. Колешко В.М., Гайденко П.П., Буйко Л.Д. Контроль в технологии микроэлектроники. Мн.: Наука и техника, 1979.- 312с. 2. EE Times // January 26, 2001. 3. SiliconStrategies // March 2, 2001. 4. Cypress Technical Articles // May 30, 2000.

УДК 004.891.3

В.М. Пашкевич

ИНТЕЛЛЕКТУАЛЬНАЯ СИСТЕМА ДЛЯ АНАЛИЗА ТОЧНОСТИ ТОКАРНОЙ ОБРАБОТКИ

*Белорусский национальный технический университет
Минск, Беларусь*

Погрешность обработки определяется суммой погрешностей базирования ϵ_b , закрепления ϵ_z , приспособления ϵ_n , колебаний упругих перемещений в технологической системе под влиянием нестабильности сил резания Δ_r , погрешности наладки технологической системы на выдерживаемый размер Δ_n , включающей в себя погрешность регулирования положения инструмента ϵ_r и погрешность измерения $\epsilon_{из}$, колебаний перемещений в технологической системе под влиянием изменения температуры узлов станка и режущего инструмента Δ_t , погрешностей станка, на котором производится обработка Δ_c , размерного износа режущего инструмента Δ_u и прочих погрешностей $\Delta_{пр}$. Среди перечисленных погрешностей величины, обозначенные Δ , в свою очередь, представляют собой суммы, включающие несколько элементарных слагаемых. Некоторые из этих погрешностей носят случайный характер, а другие являются систематическими. Следовательно, суммарная погрешность обработки на металлорежущем станке в условиях серийного производства может быть представлена следующей моделью:

$$\Delta = k \sqrt{\epsilon_b^2 + \epsilon_z^2 + \epsilon_n^2 + \Delta_r^2 + \Delta_n^2 + \Delta_t + \Delta_c + \Delta_u^2 + \Delta_{пр}}, \quad (1)$$

где k – коэффициент, учитывающий отклонение закона распределения случайных погрешностей от нормального, равный 1... 1,73.

По существу, задача (1) может быть сведена к задаче многокритериальной оптимизации

$$\delta = \left[\sqrt{\sum_i \Delta_n^2 + \sum_j \Delta_u^2} \right] - T \rightarrow \min, \quad (2)$$

i, j