

«Портреты» для H_2 и CO концентраций 100 ppm и 10 ppm, а так же для 100 ppm CH_4 представлены на рисунке 3 (цифрами на рисунке указаны номера типов сенсоров).

Работа электронного носа – это обработка (сравнение) сигналов от множества сенсоров при подаче на них неизвестного газа с данными, полученными при калибровке устройства. Если множество сигналов от четырех сенсоров еще можно обработать простыми статистическими методами, то сделать то же с большей выборкой будет гораздо сложнее. Наиболее перспективным способом, который может быть использован в газовом анализе и особенно в устройствах типа «электронный нос» для распознавания образов – «портретов» являются искусственные нейронные сети [5,6]. Хотя и здесь не обходится без сложностей. Искусственные нейронные сети требуют продолжительной и кропотливой работы по их предварительному обучению, что будет отражено в следующей статье.

ЛИТЕРАТУРА

1. Сергейченко А.В., Сахарчук С.П. Планарный полупроводниковый газовый сенсор /Материалы 21-го международного научного симпозиума студентов и молодых ученых.- Зелена Гура, 2000. 2. Таратын И.А., Сергейченко А.В. Сенсор оксида углерода /12-я Научно-техническая конференция «Датчик-2000», Гурузф. 3. Бутуриян А.И. Газочувствительные датчики на основе металлоксидных полупроводников // ЗЭТ.-1983.- №10.- С. 3. 4. Айвазов А.А. Современное состояние и перспективы развития производства толстопленочных датчиков // ЗЭТ.- 1991.- №7.- С. 36 5. E. Llobet, J. Rubio Electronic nose simulation tool centred on Pspice /Sensors and Actuators B 3788, (2001), P. 1–11. 6. Phillip Evans, Krishna C. Persaud Evaluation of a radial basis function neural network for the determination of wheat quality from electronic nose data /Sensors and Actuators B 69, (2000), P. 348–358.

УДК 621.3.049.77

В.М. Колешко, В.В. Ковалевский

ЗАПОМИНАЮЩАЯ ЯЧЕЙКА ДЛЯ ГИГАБИТНОЙ СУПЕРПАМЯТИ

Белорусский национальный технический университет

Минск, Беларусь

Необходимо отметить, что получение устройства с таким большим объемом накопителя возможно (и экономически оправдано) только за счет использования схемотехнически простого запоминающего элемента, состоящего из транзистора и конденсатора. Поэтому проблема создания гигабитной полупроводниковой памяти

решается в первую очередь за счет совершенствования технологии изготовления запоминающей ячейки [1].

Ведущие производители полупроводниковой памяти еще не освоили серийный выпуск гигабитных устройств (табл. 1).

Таблица 1

Серийно выпускаемая динамическая память

Тип памяти (тактовая частота)	Емкость, Мбит	Разрядность шины данных, бит	Разрядность системной шины, бит	Системные требования, Мбайт	Пропускная способность, Гбайт/с
<i>SDRAM</i> (100MHz)	128	16	64	64	0,8
	256	16	64	128	0,8
	512	16	64	256	0,8
<i>DDR</i> (133MHz)	128	16	64	64	2.13
	256	16	64	128	2.13
	512	16	64	256	2.13
<i>RDRAM</i> (400MHz)	128		16 (1 канала)	16	1.6
			32 (2 канала)	32	3.2
			64 (4 канала)	64	6.4
	256		16 (1 канала)	32	1.6
		16	32 (2 канала)	64	3.2
			64 (4 канала)	128	6.4
	512		16 (1 канала)	64	1.6
		16	32 (2 канала)	128	3.2
			64 (4 канала)	256	6.4

Однако в конце мая 2001 г. Infineon Technologies сообщила о начале производства DDR-модулей (память с двойной тактовой частотой) объемом 1 Гбайт - регистровых модулей DIMM (модуль памяти с двухрядным расположением выводов) с организацией 128М x 72. Модуль PC1600 содержит 36 компонентов емкостью по 256 Мбит каждый и для получения наивысшей плотности использовано пакетирование компонентов. Получению модулей большой емкости способствовала передовая технология изготовления компонентов памяти с топологическими нормами 0,17 мкм. [2]

Для создания гигабитной DRAM (динамическое запоминающее устройство с произвольной выборкой) на основе ячейки с конденсатором в форме канавки, Infineon Technologies и IBM, США разработали элемент с вертикальным транзистором (VERTical access transistor) и скрытой шиной (BuriEd STrap) — *VERI BEST* [3]. Необходимо отметить, что данная структура была запатентована еще в 1993 году и в своей основе осталась неизменной, однако 0,15 микронные технологические нормы позволили в целом упростить и уменьшить размер запоминающей ячейки. Эволюция структуры ячейки от обычной с площадью $8F^2$ (F — минимально возможный размер топологического элемента) до *VERI BEST* с вертикальным МОП-транзистором представлена на рис. 1.

В новой ячейке вертикальный транзистор примыкает к боковой поверхности верхней части канавки. Такая структура дает возможность воспроизводить транзистор с длиной канала, которая не связана напрямую с литографически воспроизводимым минимальным размером, а определяется глубиной травления дополнительной полости в канавке. Также следует выделить, что при такой компоновке конденсатор-канавка занимает большую часть площади запоминающей ячейки. Исследования показали, что: формирование канавки в форме капсулы на 40% увеличивает емкость конденсатора (с 22 до 30fF); формирование изоляции транзистора самосовмещением с емкостной канавкой сокращает сопротивление скрытой шины вдвое (с 60 до 30КОм). Для уменьшения емкости перехода используется самосовмещенное получение стока и истока транзистора, а скорость обработки сигнала увеличивается за счет разводки шины слов по шагу первого металла

В начале 2001 г. группа IBM-Infineon представила усовершенствованный запоминающий элемент с вертикальной компоновкой в $6F^2$ - базисе. Такая конструкция позволяет каждой ячейке иметь расположенный на одной стороне контакт к скрытой шине и контакт к шине выборки данных. Были представлены ячейки площадью 0,135 $\mu\text{м}^2$ при использовании 0,15-мкм технологических норм и 0,122 $\mu\text{м}^2$.

К уже отмеченным преимуществам такой конструкции, можно добавить, что максимальная концентрация легирующей примеси в канале может быть получена отдельно, а не в процессе имплантации в канавку-конденсатор; расположение ячеек предотвращает пересечение соседних скрытых шин. Все это повышает сохранность информационных данных. Кроме того, ячейка позволяет производить разводку с шагом $3F$ по активным структурам и межсоединениям, что не очень критично и не требует особого контроля за основными слоями. В качестве основных недостатков такой конструкции запоминающего элемента следует отметить: рост подзатворного окисла на вертикальной и закругленной поверхностях кремния, а также

необходимость использования двух слоев металла (например, Al или Cu) для разрядных шин. Но, с другой стороны, переходы шины с одного уровня металлизации на другой ведут к снижению шума и паразитной емкости. Процесс получения ячейки включает формирование

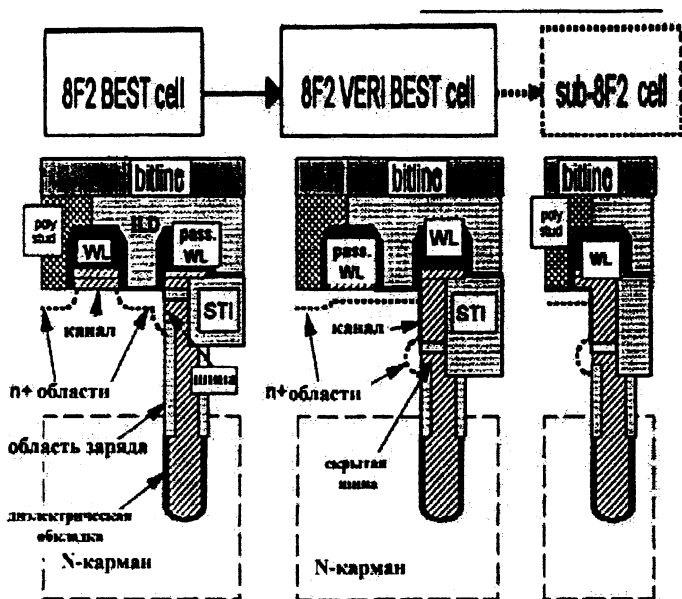


Рис. 1 Эволюция структуры ячейки BEST

одностороннего скрытого слоя при помощи двухслойного фоторезиста покрывающего рельеф канавки, а также селективное травление поликремния. Литография для критичных слоев производится с использованием сдвигаемых масок (phase shifting masks). Следует отметить и слабые стороны BEST-ячеек. В частности, наблюдается нестабильность порогового напряжения из-за боковой диффузии примеси, повышенном токе в р-п переходе из-за разрушения боковой поверхности при вытравливании канавки, а также снижение тока при выборке из-за высокого паразитного сопротивления скрытой шины (до 25 КОм). Для решения этих проблем, специалисты Toshiba, предлагают диагональную ячейку с шиной на поверхности (Surface strap Trench cell) — DST. В такой компоновке шаг шин по активной структуре «ослабляется» и канавка может быть удлинена на 50%, за счет чего

увеличивается емкость ячейки. Представленная структура в базисе $8F^2$ занимает площадь $0,245\text{мкм}^2$. Полученные образцы *DST*-ячейки имеют емкость в пределах 17fF , а ток утечки уменьшен на четверть по сравнению с *BEST*-ячейкой, что дает реальное улучшение времени хранения данных. Кроме того, характеристики выборки не зависят от рассовмещения затвора и канавки, а рабочий ток в два раза выше.

Особое внимание при разработке гигабитной памяти уделяется не только конструктивно-технологическим особенностям ячейки, но и материалу конденсатора. В качестве такового большинством производителей применяется $(\text{Ba},\text{Sr})\text{TiO}_3$ (*BST*) с диэлектрической постоянной 200. *BST*-структуры позволяют формировать как планарные конденсаторы, так и вертикальные (на боковой стороне верхнего платинового электрода). Для воспроизведения стандартного для гигабитной ячейки конденсатора емкостью 20фФ , первые при толщине слоя диэлектрика в 250Å должны иметь площадь обкладки не менее $0,226\text{ мкм}^2$, тогда как вертикальные структуры позволяют сформировать конденсатор такой емкости с размерами обкладки $0,19\times 0,19\text{мкм}$ и толщиной *BST* в 300Å . На рис. 2 представлен относительный размер конденсатора 20 фФ для различных технологий изготовления.

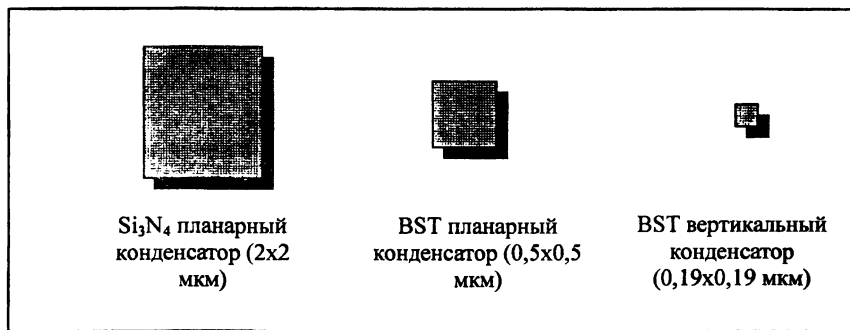


Рис. 2. Относительный размер конденсатора запоминающей ячейки (емкость 20фФ) в планарном и вертикальном исполнении

Травление *BST*-конденсатора (рис. 3) для гигабитной ячейки (минимальная толщина 300Å) проводится в HRe^- плазме низкого давления (рабочая частота -- $13,56\text{МГц}$). [4]

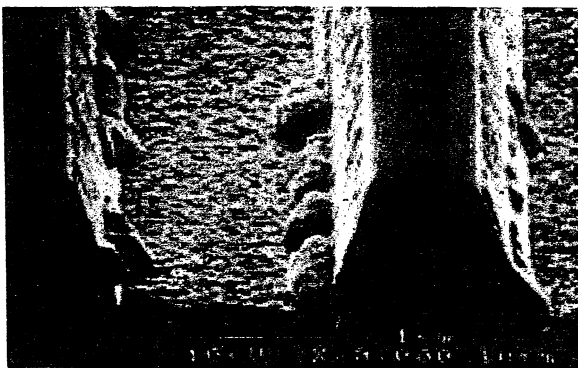


Рис. 3. Профиль $(\text{Ba,Sr})\text{TiO}_3$ структуры в гигабитной ячейке

Верхней обкладкой конденсатора служит как поликремний (SIS-структура), так и платина, иридий, рутений и соединение TiN (MIS-структура – «металл-изолятор-полупроводнику»). К подобным структурам предъявляются высокие требования к профилю, который должен быть близок к вертикальному (не менее 80°).

Лидер на рынке полупроводниковой памяти Samsung Electronics видит путь решения проблемы создания гигабитной памяти в совершенствовании технологии и уменьшении топологических норм. В начале 2001 г. была представлена 4Гбитная DRAM секционного типа изготовленная по $0,10\mu\text{м}$ технологии [5]. При помощи KrF-литографии и дополнительных приемов (безосевая иллюминация (off axis illumination) для плотных областей, оптической коррекции (optical proximity correction) для периферийных участков и химико-механической полировке (chemical mechanical polishing)) инженерам удалось создать запоминающую ячейку площадью $0,1\mu\text{м}^2$ (в базисе 8F^2).

Запоминающий элемент имеет архитектуру типа «конденсатор над шиной выборки» (capacitor over bitline). При его изготовлении ключевой проблемой является заполнение щелей между поликремниевыми шинами, присутствие которых существенно влияет на время выборки. Samsung использовал в качестве заполнителя стекло (SOG), которое термообработывалось при 870°C для придания ему нужной плотности. Кроме того, контакт к металлу располагается над предварительно сформированным контактом к шине выборки, что позволяет повысить управляемость процесса травления. Шина выборки выполнена из вольфрама.

Для формирования электродов запоминающего конденсатора применен процесс линейного самосовмещенного контактирования (line type self-aligned contact process),

т.е. происходит вскрытие контактных окон, заполнение их поликремнием с последующей планаризацией для каждого отдельного контакта. Кроме того, низкотемпературное формирование конденсатора не ведет к деградации контактного сопротивления вольфрамовой шины. Ячейка выполнена с тремя уровнями металлизации (Al-W-Al), суммарная емкость запоминающего элемента — 22fF. Представленный чип 4 Гбитной DRAM имеет площадь 649.7 мм².

Таким образом, в настоящее время технологическая конкурентная борьба при создании суперпамяти идет по двум основным направлениям: использование нанотехнологии с получением линейных размеров 0,1 мкм, а также модернизации конструкции ячейки посредством внедрения новых материалов.

ЛИТЕРАТУРА

1. Колешко В.М., Ковалевский А.А. Поликристаллические пленки полупроводников в микроэлектронике.- Мн.: Наука и техника, 1978.-136с. 2. Semiconductor Online // May 20, 2000. 3.Semiconductor Online // December 20, 2000. 4. SolidState Technology//August 1998. 5. Samsung Tech-News: Samsung Secures Technology for 4Gb DRAM //Feb 9, 2001.

УДК 621.3.049.77

В.М. Колешко, В.В. Ковалевский

ТЕНДЕНЦИИ РАЗВИТИЯ СТАТИЧЕСКОЙ ОПЕРАТИВНОЙ СУПЕРПАМЯТИ

*Белорусский национальный технический университет
Минск, Беларусь*

В последние несколько лет СОЗУ — статические оперативные запоминающие устройства (SRAM) переживают второе рождение, становясь интегральной составляющей рынка процессоров, сетевой аппаратуры и оборудования связи. По прогнозам, мировой рынок СОЗУ в 2001г. составит около 8 млрд.\$, т.е. возрастет на 22% по сравнению с 2000 г.

SRAM ассоциируется в первую очередь с микропроцессорной кэш-памятью первого уровня (рис.1).