

ПАРАЛЛЕЛЬНЫЙ $N \times M$ РАЗРЯДНЫЙ УМНОЖИТЕЛЬ И СХЕМА ФОРМИРОВАНИЯ БИТА ОКРУГЛЕНИЯ

Студент гр.610701 Петровский Н.А.
кандидат техн. наук, доцент М.В. Качинский
*Белорусский государственный университет информатики
и радиоэлектроники*

К системам приборостроения реального времени предъявляются высокие требования, как по производительности, так и по потребляемой мощности. В общем случае, умножитель является ключевым компонентом в данных системах и доминирует в величине производительности и в занимаемой площади на кристалле системы обработки данных. Для достижения высокой скорости работы применяются параллельные умножители, которые характеризуются большими затратами оборудования [1]. Поэтому, важной является задача адаптации структуры параллельного умножителя к требованиям встраиваемых систем приборостроения реального времени.

Целью доклада является разработка и исследование структур параллельных умножителей в дополнительном коде со схемой формирования бита округления на ПЛИС.

Решения базируются на том факте, что операция умножения, используемая во многих измерительных приложениях, обычно имеют сокращённый формат: входные операнды и выходной продукт умножения имеют одинаковое количество бит N . В общем случае продукт умножения (1) состоит из значимой части (MSP), бита коррекции (IC) и незначимой части (LSP). Следовательно, можно попытаться сократить матрицу сумматоров параллельного умножителя до $M=N$ разрядов и сформировать бит переноса дополнительной комбинационной схемой.

$$P = MSP + IC + LSP = \sum_{i=1}^{n-1} P_i 2^{-(i-1)} + P_n 2^{-(n-1)} + \sum_{i=n+1}^{2n-1} P_i 2^{-(i-1)} \quad (1)$$

Комбинационная схема формируется таким образом, чтобы округлённый продукт умножения в статистическом смысле имел минимальную ошибку по сравнению с полной матрицей сумматоров. Для уменьшения погрешности продукта умножения, необходимо увеличивать разрядность матрицы сумматоров. Исходя из экспериментальных данных, наилучшее соотношение аппаратных затрат к величине погрешности проявляется при $M = N + 2$. Таким образом при сокращении аппаратных затрат и потребляемой мощности почти вдвое, точность остаётся высокой.

Литература

1. Lan-Da Van. Desing of Lower Error Fixed-Width Multiplier / Lan-Da Van // IEEE Trans. on Circuits and Systems II. – 2000. – Vol. 47, №10. – P. 1112–1118.